

(19)世界知的所有権機関
国際事務局



(43)国際公開日
2001年3月22日 (22.03.2001)

PCT

(10)国際公開番号
WO 01/20667 A1

(51)国際特許分類: H01L 21/8247, 29/788, 29/792, 27/115

(21)国際出願番号: PCT/JP00/06146

(22)国際出願日: 2000年9月8日 (08.09.2000)

(25)国際出願の言語: 日本語

(26)国際公開の言語: 日本語

(30)優先権データ:
特願平11/257990 1999年9月10日 (10.09.1999) JP

(71)出願人(米国を除く全ての指定国について): 株式会社 日立製作所(HITACHI, LTD.) [JP/JP]; 〒101-8010

東京都千代田区神田駿河台四丁目6番地 Tokyo (JP).
日立デバイスエンジニアリング株式会社 (HITACHI DEVICE ENGINEERING CO., LTD.) [JP/JP]; 〒297-8581 千葉県茂原市早野3681番地 Chiba (JP).

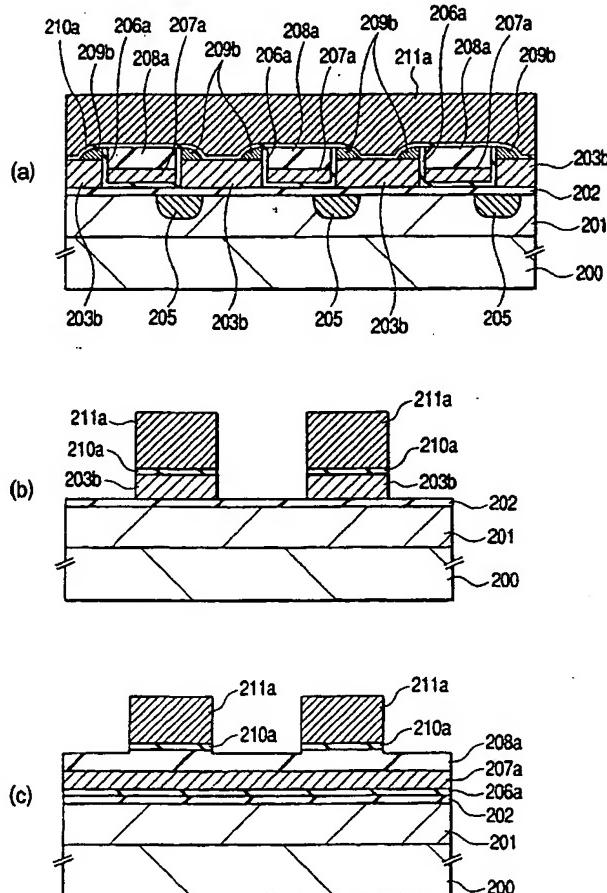
(72)発明者; および

(75)発明者/出願人(米国についてのみ): 小林 孝 (KOBAYASHI, Takashi) [JP/JP]. 後藤 康 (GOTO, Yasushi) [JP/JP]. 久禮得男 (KURE, Tokuo) [JP/JP]. 倉田英明 (KURATA, Hideaki) [JP/JP]. 久米 均 (KUME, Hitoshi) [JP/JP]. 木村勝高 (KIMURA, Katsutaka) [JP/JP]; 〒185-0014 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内 Tokyo (JP). 佐伯俊一 (SAEKI, Shunichi) [JP/JP]; 〒297-8581 千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内 Chiba (JP).

[続葉有]

(54) Title: INTEGRATED CIRCUIT AND METHOD OF MANUFACTURE THEREOF

(54)発明の名称: 半導体集積回路装置およびその製造方法



(57) Abstract: An integrated circuit comprises diffused source/drain regions (205) of a second conductivity type formed on a well (201) of a first conductivity type, floating gates (203b) formed on an insulating layer (202) over a semiconductor substrate (200), control gates (211a) formed on a silicon oxide layer (210a) over a nitrogen-doped floating gate (203b), and third gates (207a) different from the floating gates and the control gates. The third gates are each buried between the floating gates arranged in the direction perpendicular to the word lines and the channels, and the third gates (207a) are lower in level than the floating gates (203b). This device can be miniaturized and it operates at high speed while keeping high reliability after repeatedly programmed.

WO 01/20667 A1

[続葉有]



(74) 代理人: 浅村 皓, 外(ASAMURA, Kiyoshi et al.); 〒
100-0004 東京都千代田区大手町2丁目2番1号 新大手
町ビル331 Tokyo (JP).

添付公開書類:
— 國際調査報告
— 補正書

(81) 指定国(国内): CN, KR, US.

(84) 指定国(広域): ヨーロッパ特許(AT, BE, CH, CY, DE,
DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

(57) 要約:

第1導電型のウェル201に形成された第2導電型のソース／ドレイン拡散層領域205と、半導体基板200上に絶縁膜202を介して形成された浮遊ゲート203bと、浮遊ゲート203b上に窒素を導入したシリコン酸化膜210aを介して形成された制御ゲート211aと、前記半導体基板、浮遊ゲート、制御ゲートと絶縁膜を介して形成され、浮遊ゲートおよび制御ゲートとは異なる第3ゲート207aを有する半導体集積回路装置において、上記第3ゲートがワード線およびチャネルと垂直な方向に存在する浮遊ゲートの隙間に埋込まれて形成され、第3ゲート207aの標高が浮遊ゲート203bの標高より低く形成されているものは、微細化と動作速度向上を図るとともに繰り返し書き換え後の高信頼化を図ることができる。

明細書

半導体集積回路装置およびその製造方法

5 技術分野

本発明は半導体集積回路装置およびその製造方法に関し、特に電気的書き換えが可能な半導体集積回路装置の高集積化、高信頼化、高速で、低電圧の動作を実現する技術に関する。

背景技術

10 電気的書き換えが可能な半導体集積回路装置のうち、一括消去が可能なものとしていわゆるフラッシュメモリが知られている。フラッシュメモリは携帯性、耐衝撃性に優れ、電気的に一括消去が可能なことから、近年、携帯型パソコンやコンピュータやデジタルスチルカメラ等の小型携帯情報機器のファイル（記憶装置）として急速に需要が拡大している。その市場の拡大にはメモリセル面積の縮小によるビットコストの低減が重要な要素であり、たとえば、1996年11月10日、応用物理学会発行、「応用物理」第65巻11号、p1114～p1124に記載されているように、これを実現する様々なメモリセル方式が提案されている。

また、たとえば、日本特許第2694618号公報（文献1）には3層ポリシリコンゲートを用いた仮想接地型のメモリセルが記載されている。すなわち、このメモリセルは、半導体基板中のウェルに形成された半導体領域および3つのゲートから構成される。3つのゲートは、ウェル上に形成された浮遊ゲート、浮遊ゲート上に形成された制御ゲート、および隣り合う制御ゲート、浮遊ゲート間に形成された消去ゲートである。3つのゲートはポリシリコンからなり、各々絶縁膜で分離され、浮遊ゲートとウェルとの間も絶縁膜で分離されている。制御ゲートは行方向に接続されてワード線を構成している。ソースおよびドレイン拡散層は列方向に形成され、隣接するメモリセルと拡散層を共用する仮想接地型である。これにより行方向のピッチ縮小を図っている。消去ゲートはチャネルと平行で、かつ、ワード線（制御ゲート）の間にワード線と平行に配置される。

この文献1記載のメモリセルへの書き込みの際は、ワード線およびドレインにそれぞれ独立した正の電圧を印加し、ウェル、ソースおよび消去ゲートは0Vとする。これによりドレイン近傍のチャネル部でホットエレクトロンが発生し、浮遊ゲートに電子が注入され、メモリセルのしきい値が上昇する。消去の際は、消去
5 ゲートに正の電圧を印加し、ワード線、ソース、ドレインおよびウェルは0Vとする。これにより浮遊ゲートから消去ゲートに電子が放出され、しきい値が低下する。

また、たとえば特開平9-321157号公報（文献2）には、スプリットゲート型のメモリセルが開示され、拡散層と浮遊ゲートとのオーバーラップを大き
10 くとり、拡散層の電位により浮遊ゲート電位を大とするとともに、ワード線に低い電圧を印加することにより、情報書き込みの際のホットエレクトロンの発生と注入効率を高める方法が提案されている。

また、たとえばインターナショナル エレクトロン デバイシズ ミーティング テクニカル ダイジェスト 1989、603頁から606頁
15 (International Electron Devices Meeting, 1989, pp. 603-606)（文献3）には、浮遊ゲート電位をワード線で制御するとともに、浮遊ゲートおよび制御ゲートとは異なる第3ゲートによりスプリットチャネルを制御する方法が論じられている。

しかし、前記したメモリセルにおいては、高集積化を進めるといくつかの問題
20 が生じることを本発明者らは認識した。なお、以下の問題点は、本発明者らによって検討されたものであり、特に公知にされたわけではない。

すなわち、前記文献1に記載の技術においては、第3のゲートの上表面が浮遊ゲートの上表面より上部に存在するメモリセル構造となっている。このようなメモリセル構造では、浮遊ゲートの上端の凸部と第3ゲートとが層間絶縁膜を介して対向して存在している。本構造では、消去動作を行なうための電圧を第3のゲートに印加すると、浮遊ゲート上端部分の層間絶縁膜の電界が局所的に増大し、この部分で主にトンネル電流が流れる。このため、消去動作を繰り返して行なうと、上記浮遊ゲート上端部付近の層間絶縁膜が劣化し、浮遊ゲートに蓄積された電荷が第3のゲートに漏洩してデータの保持（リテンション）が困難になるとい

う問題がある。また、繰り返し消去を行なうことにより、上記浮遊ゲート上端部付近の層間絶縁膜に電子がトラップされる結果、トンネル電流が減少し、消去速度が低下するという問題がある。

また、前記文献1記載のメモリセルにおいては、チャネル部の一部分に浮遊ゲートが存在しないスプリットチャネル型と呼ばれるメモリセル構造が採用されている。5 そして、前記メモリセルにおけるスプリットチャネルの制御は、そのスプリットチャネル上に存在する制御ゲート（ワード線）の電位を制御することにより行われる。従って、ワード線はスプリットゲートとしての機能も有することとなる。メモリセルへのデータの書き込みの際には、ホットエレクトロンの発生および注入効率を増大する必要がある。このためには、浮遊ゲートの電位を大きくしてチャネル部の垂直方向の電界を大とするとともに、スプリットゲートの電位を低くしてチャネル水平方向の電界を増大することが効果的である。しかしながら前記文献1記載のメモリセルでは、スプリットゲートの電位はワード線電位によって制御されるから、浮遊ゲートとスプリットゲートの電位を独立に制御するこ10 とはできない。すなわち、ワード線の電位によって浮遊ゲートおよびスプリットゲートの両電位を制御せざるを得ず、ホットエレクトロンの発生および注入効率を同時に増大できないという問題がある。このため、データの書き込みの際に、注入電流に対し、非常に大きなチャネル電流が流れてしまい、複数のメモリセルを同時に書込めないという問題がある。このため、高い書き込み速度が得られないと15 いう問題も生じる。

また、スプリットチャネル型のメモリセルであってホットエレクトロンの発生および注入効率を同時に増大する方法として、前記文献2記載の手段が考え得るが、この方法では、微細化に伴い、拡散層と浮遊ゲートのオーバーラップが取り難くなるという問題が生じる。

20 さらに、前記文献3記載の技術により、浮遊ゲート電位をワード線で制御するとともに、浮遊ゲートおよび制御ゲートとは異なる第3ゲートによりスプリットチャネルを制御する方法が考え得るが、この技術においては微細化に関する検討、観点が欠落している。

本発明の目的は、高い信頼性を有し、書換え速度が速い半導体集積回路装置及びその製造方法を提供することにある。

本発明は、半導体基板の主面に形成された第1導電型のウェルと、前記ウェル内に形成された第2導電型の半導体領域と、前記半導体基板上に第1絶縁膜を介して形成された第1ゲートと、前記第1ゲート上に第2絶縁膜を介して形成された第2ゲートと、前記第1ゲートと第3絶縁膜を介して形成された第3ゲートとを有し、前記第3ゲートが前記第1ゲートの隙間に埋め込んで形成されている半導体集積回路装置であって、

前記第3ゲート表面の標高が、前記第1ゲート表面の標高よりも低いことを特徴とする半導体集積回路装置を提供する。

本発明はまた、シリコン基板中に第1導電型のウェルを形成する工程と、前記シリコン基板上に第1絶縁膜を介して浮遊ゲートとなる第1パターンを形成する工程と、前記ウェル中にソース・ドレインとなる第2導電型の半導体領域を形成する工程と、前記第1パターンを覆う第2絶縁膜を形成する工程と、前記第1パターンによって形成される隙間に、前記第2絶縁膜を介して第3ゲートを形成する工程と、前記浮遊ゲートおよび第3ゲートの上層に制御ゲートを形成する工程と、を有する半導体集積回路装置の製造方法であって、

前記第3ゲート上面の標高を前記浮遊ゲートとなる第1パターン上面の標高より低く形成することを特徴とする半導体集積回路装置の製造方法を提供する。

本発明は更に、シリコン基板中に第1導電型のウェルを形成する工程と、前記シリコン基板上に第2絶縁膜を介して第3ゲートを形成する工程と、前記ウェル中にソース・ドレインとなる第2導電型の半導体領域を形成する工程と、前記第3ゲートを覆う第1絶縁膜を形成する工程と、前記第3ゲートによって形成される隙間に、前記第1絶縁膜を介して浮遊ゲートとなる第1パターンを形成する工程と、前記浮遊ゲートおよび第3ゲートの上層に制御ゲートを形成する工程と、を有する半導体集積回路装置の製造方法であって、

前記第3ゲート上面の標高を前記浮遊ゲートとなる第1パターン上面の標高より低く形成することを特徴とする半導体集積回路装置の製造方法を提供する。

図面の簡単な説明

図1は、本発明の実施例1の半導体集積回路装置の一例を示した一部平面図である。

図2(a)、(b)および(c)は、各々、図1におけるA-A'、B-B'およびC-C'線断面図である。

5 図3(a)～(e)は、実施例1の半導体集積回路装置の製造方法の一例を示した断面図である。

図4(a)～(d)は、実施例1の半導体集積回路装置の製造方法の一例を示した断面図である。

10 図5(a)～(e)は、実施例1の半導体集積回路装置の製造方法の一例を示した断面図である。

図6は繰返し書換えを行なった際の書換え回数としきい値電圧の関係を示したグラフである。

図7は 10^6 回書換えた後、放置した際のしきい値電圧の変化を測定した結果を示すグラフである。

15 図8は所定の時間で消去動作を完了しようとした時の、浮遊ゲート上表面－第3ゲート上表面間の標高差と制御ゲート－第3ゲート間の電位差との関係を示したグラフである。

図9(a)～(c)は、実施例2の半導体集積回路装置の製造方法の一例を示した断面図である。

20 図10(a)～(d)は、実施例3の半導体集積回路装置の製造方法の一例を示した断面図である。

図11(a)および(b)は、実施例3の半導体集積回路装置の製造方法の他の例を示した断面図である。

25 図12(a)～(c)は、実施例4の半導体集積回路装置の製造方法の一例を示した断面図である。

図13(a)および(b)は、実施例4の半導体集積回路装置の製造方法の一例を示した断面図であり、(c)は(b)における一部を拡大した断面図であり、(d)は比較のために示した拡大断面図である。

図14(a)～(c)は、実施例4の半導体集積回路装置の製造方法の他の例

を示した断面図である。

図15 (a)～(c)は、実施例5の半導体集積回路装置の製造方法の一例を示した断面図である。

図16 (a)～(c)は、実施例6の半導体集積回路装置の製造方法の一例を5示した断面図である。

図17 (a)および(b)は、実施例6の半導体集積回路装置の製造方法の一例を示した断面図である。

図18 (a)～(d)は、実施例7の半導体集積回路装置の製造方法の一例を示した断面図である。

10 図19 (a)～(d)は、実施例7の半導体集積回路装置の製造方法の一例を示した断面図である。

図20 (a)～(c)は、実施例7の半導体集積回路装置の製造方法の一例を示した断面図である。

15 図21 (a)～(d)は、実施例8の半導体集積回路装置の製造方法の一例を示した断面図である。

図22 (a)～(d)は、実施例9の半導体集積回路装置の製造方法の一例を示した断面図である。

図23 (a)～(c)は、実施例9の半導体集積回路装置の製造方法の一例を示した断面図である。

20 図24 (a)～(c)は、実施例9の半導体集積回路装置の製造方法の一例を示した断面図である。

発明を実施するための最良の形態

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

25 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

すなわち、本発明の半導体集積回路装置の製造方法は、シリコン基板中にたとえばp型（第1導電型）のウェルを形成し、第1絶縁膜を介して浮遊ゲートパターン（第1パターン）を形成し、さらにソース・ドレインとなるn型半導体領域

を形成し、第1パターンを覆う第2絶縁膜を形成し、第1パターンによって形成される隙間に第3ゲートを形成し、さらに制御ゲートを形成する工程を有する半導体集積回路装置の製造方法であって、第3ゲート上面の標高を浮遊ゲートとなる第1パターン上面の標高より低く形成するものである。

- 5 第3ゲートの形成方法は、隙間を完全に埋め込む多結晶シリコン膜を形成した後、多結晶シリコン膜にドライエッチングを施す第1方法、隙間を完全に埋め込む多結晶シリコン膜を形成した後、多結晶シリコン膜に化学的機械研磨法(CMP)法による研磨を施し、その後ドライエッチングを施す第2方法、隙間を完全に埋め込む多結晶シリコン膜を形成した後、多結晶シリコン膜にCMP法による
10 研磨を施し、その後多結晶シリコン膜の表面部を酸化し、酸化された部分を選択的に除去する第3方法がある。

- また、第3ゲートは、隙間を完全に埋め込まないように多結晶シリコン膜を形成した後、隙間を埋め込むフォトレジスト膜を形成し、フォトレジスト膜および多結晶シリコン膜にドライエッチングを施す第4方法、隙間を完全に埋め込まないよう
 - 15 いように多結晶シリコン膜を形成した後、多結晶シリコン膜にCMP法による研磨を施し、隙間を埋め込むフォトレジスト膜を形成し、フォトレジスト膜および多結晶シリコン膜にドライエッチングを施す第5方法、隙間を完全に埋め込まないよう
 - 20 いように多結晶シリコン膜を形成した後、隙間を埋め込むシリコン酸化膜を堆積し、シリコン酸化膜および多結晶シリコン膜にCMP法による研磨を施し、隙間のシリコン酸化膜を選択的に除去し、隙間を埋め込むフォトレジスト膜を形成し、
 - 25 フォトレジスト膜および多結晶シリコン膜にドライエッチングを施す第6方法、の何れかの方法により形成することもできる。

- この第4～第6方法の場合、フォトレジスト膜および多結晶シリコン膜がほぼ等しいエッチング速度でエッチングされるようにエッチング条件を選択すること
 - 25 ができる。

また、第3ゲートは、隙間を完全に埋め込まないように多結晶シリコン膜を形成した後、多結晶シリコン膜上にシリコン酸化膜を形成し、シリコン酸化膜および多結晶シリコン膜にCMP法による研磨を施し、多結晶シリコン膜にドライエッチングを施し、シリコン酸化膜を除去する第7方法により形成することができ

る。

この第4～第7方法の場合、多結晶シリコン膜の膜厚は、浮遊ゲートとなる第1パターンの膜厚よりも薄く形成することができる。

- また、本発明の半導体集積回路装置の他の製造方法は、シリコン基板中にたとえればp型（第1導電型）のウェルを形成し、シリコン基板上に第2絶縁膜を介して第3ゲートを形成し、ウェル中にソース・ドレインとなるn型（第2導電型）の半導体領域を形成し、第3ゲートを覆う第1絶縁膜を形成し、第3ゲートによって形成される隙間に、浮遊ゲートとなる第1パターンを形成し、さらに制御ゲートを形成する工程とを有する半導体集積回路装置の製造方法であって、第3ゲート上面の標高を浮遊ゲートとなる第1パターン上面の標高より低く形成するものである。

- この第1パターンは、隙間を完全に埋め込む多結晶シリコン膜を形成した後、多結晶シリコン膜にドライエッチングを施す第1方法、隙間を完全に埋め込む多結晶シリコン膜を形成した後、多結晶シリコン膜にCMP法による研磨を施し、その後ドライエッチングを施す第2方法、隙間を完全に埋め込まないように多結晶シリコン膜を形成した後、多結晶シリコン膜にCMP法による研磨を施す第3方法、隙間を完全に埋め込まないように多結晶シリコン膜を形成した後、隙間を埋め込むフォトレジスト膜を形成し、フォトレジスト膜および多結晶シリコン膜にドライエッチングを施す第4の方法、隙間を完全に埋め込まないように多結晶シリコン膜を形成した後、隙間を埋め込むシリコン酸化膜を堆積し、シリコン酸化膜および多結晶シリコン膜にCMP法により研磨を施す第5の方法、の何れかの方法により形成できる。

- なお、前記した方法において、第3ゲートは浮遊ゲートに対して自己整合的に形成できる。また、前記した方法において、浮遊ゲートは第3ゲートに対して自己整合的に形成できる。

本発明の半導体集積回路装置は、半導体基板の主面に形成された第1導電型のウェルと、ウェル内に形成された第2導電型の半導体領域と、半導体基板上に第1絶縁膜を介して形成された第1ゲートと、第1ゲート上に第2絶縁膜を介して形成された第2ゲートと、第1ゲートと第3絶縁膜を介して形成された第3ゲー

トとを有し、第3ゲートが第1ゲートの隙間に埋め込んで形成されている半導体集積回路装置であって、第3ゲート表面の標高が、第1ゲート表面の標高よりも低いものである。

この場合、第3ゲートは、消去ゲート、スプリットチャネルを制御するゲート、
5 あるいはその両方の機能を有するゲートとすることができる。

また、第3絶縁膜は、窒素を添加したシリコン酸化膜とすることができる。

以下、本発明の実施の形態を実施例及び図面に基づいて詳細に説明する。なお、
実施の形態を説明するための全図において、同一の機能を有する部材には同一の
符号を付し、その繰り返しの説明は省略する。

10 実施例 1

図1は、本発明の実施例1である半導体集積回路装置の一例を示した一部平面
図であり、図2 (a)、(b) および(c) は、各々、図1におけるA-A'、
B-B' およびC-C' 線断面図である。なお、図1の平面図において、図面を
見やすくするために各部材にハッチングを施し、一部の部材は省略している。

15 本実施例の半導体集積回路装置は、いわゆるフラッシュメモリのメモリセルを
有し、このメモリセルは半導体基板200の主面に形成されたウェル201中の
ソース／ドレイン拡散層205、第1ゲート（浮遊ゲート）203b、第2ゲー
ト（制御ゲート）211a、および第3ゲート207aを有する。各メモリセル
の制御ゲート（第2ゲート）211aは行方向（x方向）に接続され、ワード線
20 WLを形成している。

浮遊ゲート（第1ゲート）203bとウェル201はゲート絶縁膜（第1絶縁
膜）202に、浮遊ゲート203bと第3ゲート207aは絶縁膜（第3絶縁
膜）206aに、浮遊ゲート203bとワード線（制御ゲート）211aは絶縁
膜（第2絶縁膜）210aに、第3ゲート207aとワード線211aは絶縁膜
208aにより、それぞれ分離されている。

ソース／ドレイン拡散層205はワード線211aの延在方向（x方向）に垂
直な方向（y方向）に延在して配置され、列方向（y方向）のメモリセルのソー
ス／ドレインを接続するローカルソース線およびローカルデータ線として機能す
る。すなわち、本実施の形態の半導体集積回路装置は、メモリセル毎にコンタク

ト孔を持たない、いわゆるコンタクトレス型のアレイから構成される。この拡散層205に垂直な方向(x方向)にチャネルが形成される。

第3ゲート207aの2つの端面は、前記浮遊ゲート203bの端面のうちワード線211aおよびチャネルとそれぞれ垂直な2つの端面と、それぞれ絶縁膜5 206aを介して対向して存在する。

また、第3ゲート207aはワード線211aおよびチャネルと垂直な方向(y方向)に存在する浮遊ゲート203bの隙間に埋込まれて存在する。さらに、浮遊ゲート203bが第3ゲート207aに対し対称に、また前記第3ゲート207aが浮遊ゲート203bに対し対称に存在する。

10 一方、本実施例においては、ソース／ドレインを形成する1対の拡散層205

が浮遊ゲートパターン203bに対し非対称の位置関係にあり、一方の拡散層が浮遊ゲートとオーバーラップしないオフセット構造となっている。また、本実施例においては、第3ゲート207aと拡散層205はそれぞれの一部分がオーバーラップするように存在する。これにより、本実施例では第3ゲート207a以下のウェル中にもチャネルが形成され、第3ゲート207aは消去ゲートとしてばかりではなく、その下部に存在するチャネルを制御するゲートとしても機能する。

すなわち、書き込みの際は制御ゲートに正の大きな電圧、例えば12V程度を、また、第3ゲートには2V程度の低い電圧を、また、ドレインには5V程度の電圧を印加する。ソース及びウェルは0Vに保持する。これにより第3ゲート20

20 7a下のウェル中にチャネルが形成され、ソース側の浮遊ゲート端部のチャネルでホットエレクトロンが発生し、浮遊ゲートに電子が注入される。つまり本第3ゲート207aはその下部に存在するチャネルを制御するゲートとして機能する。本メモリセルによれば、従来のNOR型フラッシュメモリに比べホットエレクトロンの発生及び注入効率が増大し、チャネル電流の小さな領域での書き込みが可能25 となる。従って、従来と同程度の電流供給能力をもつ内部電源で、キロバイトオーダー以上の多数個のメモリセルの並列書き込みが可能となる。

消去の際はワード線に負の大きな電圧、例えば-13.5Vを、また第3ゲートに正の小さな電圧、例えば3.5Vを印加する。これにより、浮遊ゲートから第3ゲートにトンネル電流が流れ、浮遊ゲートに蓄積された電子が放出される。つま

り、第3ゲート207aは消去ゲートとしても機能することになる。本実施の形態では第3ゲート207aの上表面が浮遊ゲート203bの上表面より下になるような構造となっている。これにより、消去の際、浮遊ゲート上端部での局所的な電界の増大が防止でき、繰り返し書き換え後の層間絶縁膜（絶縁膜206a）の
5 劣化を抑制することが可能となる。これによりメモリセルの信頼性が確保できる。

なお、このような構造では、浮遊ゲート203bと制御ゲート211a以外の第3ゲート207aが存在する場合であっても、ワード線WL方向（x方向）、およびローカルデータ線方向（y方向）のピッチを最小加工寸法の2倍とすることができる。従って、メモリセル面積をクロスポイント型のアレイでは最小の4
10 F^2 (F : 最小加工寸法) に縮小することが可能となる。

図3～図5は、実施例1の半導体集積回路装置の製造方法の一例を示した断面図である。

まず、半導体基板200にp型（第1導電型）のウェル201を形成し、ウェル201上にたとえば熱酸化法により12nm程度のゲート絶縁膜（第1絶縁膜）202を形成する（図3（a））。

続いて浮遊ゲート203bとなるリン（P）をドーピングしたポリシリコン膜203とシリコン窒化膜204を順次堆積する（図3（b））。ポリシリコン膜203とシリコン窒化膜204の堆積には、たとえばCVD（Chemical Vapor Deposition）法を用いることができる。

20 次にリソグラフィとドライエッチング技術により前記シリコン窒化膜204およびポリシリコン膜203をパターニングする。このパターニングによりシリコン窒化膜204およびポリシリコン膜203は、シリコン窒化膜204aおよびポリシリコン膜203aとなる（図3（c））。シリコン窒化膜204aおよびポリシリコン膜203aは、y方向に延在して形成されるようにストライプ状に
25 パターニングされる。

その後、斜めイオン打込み法によりひ素（As）イオンをウェル201に打込み、メモリセルのソース／ドレインとなる拡散層205を形成する。（図3（d））。拡散層205は、メモリセルのソース線またはデータ線として機能する。このイオン注入の際にはシリコン窒化膜204aおよびポリシリコン膜203a

3 a がマスクとして機能し、拡散層 205 はポリシリコン膜 203 a に対して自己整合的に形成される。なお、シリコン窒化膜 204 a およびポリシリコン膜 203 a が y 方向に延在してストライプ状に形成されているため、拡散層 205 は y 方向に延在して形成される。また、拡散層 205 は斜めイオン打込み法により 5 形成されるため、照射イオンがシリコン窒化膜 204 a およびポリシリコン膜 203 a で遮蔽され、ポリシリコン膜 203 a 間の全領域には拡散層 205 は形成されない。また、斜め方向からイオンが照射されるため、ポリシリコン膜 203 a 下部の一部にも拡散層 205 が形成される。これにより前記の通り第3ゲート 207 a と拡散層 205 とがそれぞれの一部分がオーバーラップするように形成 10 され、第3ゲート 207 a 下のウェル 201 中にもチャネルが形成されるように なる。

なお、本工程でエッチングされる部材（シリコン窒化膜 204 a およびポリシリコン膜 203 a）には金属膜あるいは金属化合物が含まれていないため、このエッチング工程後の洗浄工程では金属が溶出しエッチングされた部材壁面に溶出 15 金属が再付着することがない。このため、次工程で説明するシリコン酸化膜 206 に金属（不純物）が含まれることが無く、シリコン酸化膜 206 の欠陥を低く抑え、信頼性を高めることができる。

次に、浮遊ゲート 203 b と第3ゲート 207 a を分離するためのシリコン酸化膜 206 を以下の方法により形成する。

20 まず、減圧化学気相成長法（LPCVD：Low Pressure Chemical Vapor Deposition）により 10.5 nm 程度のシリコン酸化膜を堆積する（図 3 (e)）。続いてこのシリコン酸化膜をアンモニア雰囲気中で熱処理し、前記シリコン酸化膜 206 に窒素を導入する。その後、窒素が導入されたシリコン酸化膜 206 にウェット酸化処理を行う。これは、アンモニア中での熱処理によりシリコン酸化膜中に導入された水素を除去するためである。

このような方法により形成されたシリコン酸化膜 206 は、膜中の電荷トラップ量が小さく、高い書き換え耐性を有している。すなわち、仮にシリコン酸化膜 206 中に電荷がトラップされるとトラップされた電子は放置状態で第3ゲートに移動し、この移動電子の量が多い場合にはリテンション不良を引き起こす可能性

が大きくなる。移動電子量はトラップ密度とともに増大するから、シリコン酸化膜206中のトラップ量が多いとリテンション不良を引き起こす確率が高くなる。しかし、本実施の形態では、膜中の電荷トラップ量が抑制されるため、リテンション不良を抑制し、高い書換え耐性を実現できる。また、シリコン酸化膜206に金属不純物が含まれないことは前記の通りである。

その後、第3ゲート207aとなるリン(P)をドーピングしたポリシリコン膜207を浮遊ゲートパターン203aの隙間に完全に埋まるように堆積する(図4(a))。ポリシリコン膜207の形成にはたとえばCVD法を用いる。

その後、たとえば異方性ドライエッチングを行い、ポリシリコン膜207をエッチバックする。これにより浮遊ゲートパターン203aの隙間に所定の厚さに残した第3ゲート207aを形成する(図4(b))。ここで、前記エッチバック後残存するポリシリコン膜(第3ゲート207a)の膜厚は、浮遊ゲートポリシリコン203aの膜厚に比べて小さくなるように調整して形成する。このように、第3ゲート207aの膜厚を薄く形成することにより浮遊ゲートポリシリコン203aと第3ゲート207aとを絶縁する絶縁膜206aの信頼性向上し、リテンション不良を低減できることは前記の通りである。

その後、シリコン酸化膜208を浮遊ゲートパターン203aの隙間に完全に埋まるように堆積する(図4(c))。シリコン酸化膜208の堆積には、たとえばCVD法を用いる。

次に、シリコン酸化膜208をたとえば化学的機械研磨法(CMP法: Chemical Mechanical Polishing)によりシリコン窒化膜204aが露出するまで研磨する。(シリコン窒化膜204aおよびシリコン酸化膜206および208はそれぞれシリコン窒化膜204b、絶縁膜206aおよびシリコン酸化膜208aとなる(図4(d))。

その後、たとえば熱リン酸水溶液を用いてシリコン窒化膜204bを除去し、ポリシリコン203aの表面を露出させる(図5(a))。次に、リン(P)をドーピングしたポリシリコン膜209を堆積し(図5(b))、これを異方性ドライエッチングする(ポリシリコン膜209は209aとなる)(図5(c))。ポリシリコン膜209aはポリシリコン203aと電気的に接続しており、この

2層のポリシリコンで浮遊ゲートを形成する。ポリシリコン209aは浮遊ゲートの表面積を増大し、メモリセルのカップリング比を増大する効果がある。これにより書き込み／消去時の内部動作電圧の低減が可能となる。

次に、図3(e)で示した方法と同一の手法により、浮遊ゲートとワード線を5分離する窒素を添加したシリコン酸化膜（膜厚10.5nm程度）210を形成する（図5(d)）。

その後、ポリシリコン膜、窒化タンゲステン膜、タンゲステン膜の積層膜、いわゆるポリメタル膜を堆積し、これをリソグラフィとドライエッチング技術によりパターニングしてワード線211aを形成する。このパターニングは、ワード

10 線211aがx方向に延在するように、すなわち拡散層205、第3ゲート207aの延在方向(y方向)に垂直な方向(x方向)に延在するようにパターニングされる。

さらにシリコン酸化膜210、ポリシリコン膜209a、203aをエッチングし、浮遊ゲートを完成した（これによりシリコン酸化膜210は210aに、15ポリシリコン203a、209aはそれぞれ203bおよび209bとなる）

(図5(e))。なお、このエッチング工程では、シリコン酸化膜210がエッチングされる段階ではシリコン酸化膜がエッチングできる条件でエッチングを行うが、ポリシリコン膜209a、203aがエッチングされる段階では、シリコンはエッチングされるがシリコン酸化膜はエッチングされない選択エッチングの20条件でエッチングを行う。これにより、シリコン酸化膜である絶縁膜208aがエッチングストップとして機能し、絶縁膜208a下部の第3ゲート207aがエッチングされることはない。すなわち、このエッチング工程により、第3ゲート207aはy方向に延在して形成されたストライプ状の形体を維持しつつ、浮遊ゲート203bは、x方向、y方向の両方向において分断され、島状の浮遊ゲ25ートが形成される。

その後、図には示していないが、層間絶縁膜を形成した後、ワード線211a、ソース／ドレイン拡散層205、ウェル201、第3ゲート207aに至るコンタクト孔を形成し、続いて金属膜を堆積してこれをパターニングして配線とし、メモリセルを完成できる。

図6は、上記方法により形成したメモリセルにおいて繰返し書換えを行なった際の書換え回数としきい値電圧の関係を示したグラフである。同図には比較のため、前記文献1の技術を用いて作成したメモリセルのデータを従来技術として示した。

5 従来技術では書換え回数が 10^4 回を越えた付近から消去速度が低下し、しきい値ウインドウが狭くなる。これは次の理由によると考えられる。

すなわち、従来技術においては、浮遊ゲートの上表面が第3ゲートの上表面よりも低い位置に存在する。このような構造のメモリセルにおいて消去電圧を第3ゲートに印加すると、浮遊ゲート上端の凸部に電気力線が集中し、この部分のポ

10 リシリコン間を絶縁する層間絶縁膜の電界が浮遊ゲート側壁平坦部に比べ増大する。このため浮遊ゲート上端の凸部でのみトンネル電流が流れる結果、凸部に接した部分の層間絶縁膜が少ない書換え回数で劣化し、電子がトラップされる。このような電子トラップにより層間絶縁膜に印加される電界が実効的に減少した結果、消去速度が低下し、しきい値ウインドウが狭くなると考えられる。

15 これに対し本実施例のメモリセルにおいては、 10^6 回の書換えを行ってもしきい値ウインドウにほとんど変化を生じない。これは浮遊ゲート209aの上表面の凸部が厚い酸化膜208aに接しており、消去の際の電子放出が浮遊ゲート203bの側壁平坦部で行われるためである。

図7は本実施例のメモリセルを 10^6 回書換えた後、放置した際のしきい値電20 圧の変化を測定した結果を示すグラフである。同図にも前記同様の従来技術における結果を併記した。

従来技術においては、放置時間の増大とともに大きなしきい値の低下が見られた。これに対し、本実施例の場合は、しきい値の低下は観察されなかった。

これは、従来技術に比べ本実施例のメモリセルの方が書換えに伴うポリシリコン間の層間絶縁膜の劣化が少なく、浮遊ゲートに蓄積された電子の第3ゲートへの漏洩が抑制されたためである。

なお、第3ゲートの上表面を浮遊ゲート上表面より低い位置とすることは、動作電圧の低減にも有効である。図8は、所定の時間で消去動作を完了しようとした時の、浮遊ゲート上表面—第3ゲート上表面間の標高差と制御ゲート—第3ゲ

ート間の電位差との関係を示したグラフである。ここでは浮遊ゲート膜厚は一定とした。ここで第3ゲート上表面が浮遊ゲート上表面より高い位置にある場合は標高差は正の値を、第3ゲート上表面が浮遊ゲート上表面より低い位置にある場合は標高差は負の値を有する。同図より、第3ゲート上表面が浮遊ゲート上表面より低い位置にあるほど、消去の際の第3ゲート制御ゲート間電圧を小さくでき、動作電圧が低減可能であることがわかる。

また、第3ゲート上表面が浮遊ゲート上表面より高い位置にある場合は、ワード線—第3ゲート間が短絡し、所望のメモリセル動作ができなくなる不良が発生したが、第3ゲート上表面を浮遊ゲート上表面より低い位置とすることにより、
10 本不良は抑制可能であった。

また、上記方法により形成したメモリセルは、浮遊ゲート及び制御ゲート以外の第3ゲートを有するにもかかわらず、ローカルデータ線方向及びワード線方向の寸法を、それぞれ最小加工寸法Fの2倍とすることが可能であった。このため、メモリセル面積を $4 F^2$ に縮小することができた。

15 実施例2

図9は、本発明の実施例2の半導体集積回路装置の製造方法の一例を示した断面図である。本実施例の製造方法と実施例1の製造方法との違いは、第3ゲートとなるポリシリコン膜を堆積する際、その膜厚を実施例1の場合に比べて薄くした点にある。そして、膜堆積後にできた浮遊ゲートパターン隙間のポリシリコン上の窪みにレジストを埋込み、上記レジストと第3ゲートとなるポリシリコンを概ね等速でエッチバックしてポリシリコンのみを浮遊ゲートパターン間に残す。
20 フラッシュメモリセルの平面配置、完成後の断面構造、動作方式は実施例1と同一でありここでは説明を省略する。

以下、本実施例の製造方法を説明する。まず実施例1の図3(a)から(e)に示したのと同一の方法により、シリコン基板200にウェル201、ゲート酸化膜202、浮遊ゲートパターン203a, 204a、拡散層205、浮遊ゲートと第3ゲートとを分離するための窒素を添加したシリコン酸化膜206を順次形成した(図示せず)。

その後、第3ゲートとなるリンをドーピングしたポリシリコン膜212を浮遊

ゲートパターン 203a, 204a の隙間が埋まらないように堆積した（図 9 (a)）。ポリシリコン膜 212 の膜厚は概ねメモリセル完成後の第 3 ゲートの膜厚である。

次にホトレジスト 213 を、浮遊ゲートパターン 203a, 204a の隙間が
5 完全に埋まるように塗布した（図 9 (b)）。その後、上記ホトレジスト 213 とポリシリコン膜 212 を概ね等しい速度でエッチバックし、ポリシリコン膜 212 のみを浮遊ゲートパターン 203a, 204a の隙間に所定の厚さ残した（ポリシリコン 212 は 212a となる）（図 9 (c)）。エッティングはホトレジストが完全になくなつた状態を終点とした。

10 その後、実施例 1 の図 4 (c) から図 5 (e) と同様の方法によりシリコン酸化膜 208a, 2 層目の浮遊ゲートポリシリコン膜 209a、窒素を添加したシリコン酸化膜 210、ポリメタル膜からなるワード線 211a を形成し、メモリセルを完成した。

本方法により形成したメモリセルは実施例 1 に比べて第 3 ゲート 212a の膜
15 厚ばらつきを低減可能であった。すなわち、ポリシリコン膜 212 を膜として形成し、この膜厚をもつて第 3 ゲートの膜厚とすることができるため、膜厚制御が容易である。また、本実施の形態では流動性に富むレジスト 213 を形成するため、エッチバック開始時のレジスト 213 の表面平坦性を向上できる。このため
20 エッチバック後の第 3 ゲートの平坦性を向上できる。さらに、本実施の形態ではエッチバックの終点検出をレジスト 213 に起因するプラズマ発光強度のモニタにより容易に行える。この結果、第 3 ゲートの膜厚制御が容易である。また、本実施の形態ではレジスト 213 を用いるため、凹部にボイドが形成されることが無く、エッチバックの管理性が向上し、第 3 ゲートの膜厚制御を容易に行える。
これに対し、実施例 1 ではエッチバックにより第 3 ゲートを形成し、またそのエ
25 ッチバックは時間管理により行われるため、その膜厚制御が本実施の形態に比べて難しくなる。このため、本実施の形態では、メモリセル間のカップリング比のばらつきが低減でき、書き込み／消去時間の均一化が図れた。

また、実施例 1 と同様、従来技術に比べ繰返し書き換えの際のしきい値ウインドウの狭帯化が抑制可能であった。また、放置後のしきい値変動を抑制可能であつ

た。また、低い電圧で動作が可能であった。あわせて消去ゲート-浮遊ゲート間の短絡が抑制可能であった。また、メモリセル面積を $4 F^2$ に縮小することができた。さらに書き込み単位の増大が可能となり、書き込み速度の増大が図れた。

実施例3

5 図10は、本発明の実施例3の半導体集積回路装置の製造方法の一例を示した断面図である。本実施例の製造方法と実施例2の製造方法との違いは、第3ゲートとなるポリシリコン膜を堆積した後、ホトレジストを塗布してエッチバックを行う前に、化学的機械研磨法により浮遊ゲートパターン上のポリシリコン膜を除去した点である。フラッシュメモリセルの平面配置、完成後の断面構造、動作方

10 式は実施例1と同一でありここでは省略した。

本メモリセルの製造方法は以下の通りである。まず実施例1の図3(a)から(e)に示したのと同一の方法により、シリコン基板200にウェル201、ゲート酸化膜202、浮遊ゲートパターン203a, 204a、拡散層205、浮遊ゲートと第3ゲートを分離するための窒素を添加したシリコン酸化膜206を

15 順次形成した(図示せず)。

その後、第3ゲートとなるリンをドーピングしたポリシリコン膜214を浮遊ゲートパターン203a, 204aの隙間に埋まらないように堆積した(図10(a))。ポリシリコン膜214の膜厚は概ねメモリセル完成後の第3ゲートの膜厚である。

20 次に化学的機械研磨法(CMP法)により、浮遊ゲートパターンのシリコン窒化膜204aが露出するまで上記ポリシリコン膜214を研磨除去した(ポリシリコン膜214及びシリコン酸化膜206はそれぞれ214a, 206aとなる)(図10(b))。

次にホトレジスト215を、浮遊ゲートパターン203a, 204aの隙間に完全に埋まるように塗布した(図10(c))。その後、上記ホトレジスト215とポリシリコン膜214aを概ね等しい速度でエッチバックし、ポリシリコン膜214aのみを浮遊ゲートパターン203a, 204aの隙間に所定の厚さ残した(ポリシリコン214aは214bとなる)(図10(d))。エッチングはホトレジストが完全になくなった状態を終点とした。

その後、実施例1の図4（c）から図5（e）と同様の方法によりシリコン酸化膜208a、2層目の浮遊ゲートポリシリコン膜209a、窒素を添加したシリコン酸化膜210、ポリメタル膜からなるワード線211aを形成し、メモリセルを完成した。

5 本方法により形成したメモリセルは実施例2に比べて更に第3ゲート214bの膜厚ばらつきを低減可能であった。すなわち、本実施例では、あらかじめポリシリコン膜214の上面がCMP法により研磨されているため、ポリシリコンのエッチング量を低減できる。この結果、第3ゲート214bの膜厚ばらつきを低減できる。このため、メモリセル間のカップリング比ばらつきが低減でき、書込み／消去時間の均一化が図れた。

また、実施例1と同様、従来技術に比べ繰返し書き換えの際のしきい値ウインドウの狭帯化が抑制可能であった。また、放置後のしきい値変動を抑制可能であった。また、低い電圧で動作が可能であった。あわせて消去ゲート－浮遊ゲート間の短絡が抑制可能であった。また、メモリセル面積を $4 F^2$ に縮小することができた。さらに書き込み単位の増大が可能となり、書き込み速度の増大が図れた。

なお、図11に示すように、CMP法によるポリシリコン膜214の研磨の前に、シリコン酸化膜214'（たとえばTEOS酸化膜、SOG膜等）を形成し（図11（a））、このシリコン酸化膜214'とポリシリコン膜214とをともにCMP法により研磨できる（シリコン酸化膜214'は、214a'となる）（図11（b））。この場合、CMP法によりポリシリコン膜214が凹部の内側に倒されて損傷することがない。その後、シリコン酸化膜214a'を選択的に除去して、前記図10（b）以降の工程を継続できる。

実施例4

図12および図13は、本発明の実施例4の半導体集積回路装置の製造方法の一例を示した断面図である。本実施例の製造方法と実施例2の製造方法との違いは、第3ゲートとなるポリシリコン膜を堆積した後、シリコン酸化膜を形成して、エッチバックの際の保護膜とした点である。フラッシュメモリセルの平面配置、完成後の断面構造、動作方式は実施例1と同一でありここでは省略した。

まず実施例1の図3（a）から（e）に示したのと同一の方法により、シリコ

ン基板 200 にウェル 201、ゲート酸化膜 202、浮遊ゲートパターン 203 a, 204 a、拡散層 205、浮遊ゲートと第3ゲートを分離するための窒素を添加したシリコン酸化膜 206 を順次形成した（図示せず）。

その後、第3ゲートとなるリンをドーピングしたポリシリコン膜 216 を浮遊ゲートパターン 203 a, 204 a の隙間に埋まらないように堆積した（図 12 (a)）。ポリシリコン膜 216 の膜厚は概ねメモリセル完成後の第3ゲートの膜厚である。

次に、ポリシリコン膜 216 をエッチバックする際の保護膜となるシリコン酸化膜 217 を形成した（図 12 (b)）。

10 続いて化学的機械研磨法により、浮遊ゲートパターンのシリコン窒化膜 204

a が露出するまで上記ポリシリコン膜 216 及びシリコン酸化膜 217 を研磨除去した（ポリシリコン膜 216、シリコン酸化膜 206 及び 217 はそれぞれ 216 a, 206 a 及び 217 a となる）（図 12 (c)）。

その後、ポリシリコン膜 216 a をエッチバックし、浮遊ゲートパターン 203 a, 204 a の隙間に所定の厚さでポリシリコン膜 216 a を残した（ポリシリコン 216 a は 216 b となる）（図 13 (a)）。

続いて浮遊ゲートパターン 203 a, 204 a の隙間に残存するシリコン酸化膜 217 a をウエットエッチングにより除去した（図 13 (b)）。

その後、実施例 1 の図 4 (c) から図 5 (e) と同様の方法によりシリコン酸化膜 208 a, 2 層目の浮遊ゲートポリシリコン膜 209 a、窒素を添加したシリコン酸化膜 210、ポリメタル膜からなるワード線 211 a を形成し、メモリセルを完成した。

本方法により形成したメモリセルは実施例 1 から 3 と同様、従来技術に比べ繰返し書換えの際のしきい値ウインドウの狭帯化が抑制可能であった。また、放置 25 後のしきい値変動を抑制可能であった。また、低い電圧で動作が可能であった。

あわせて第3ゲート浮遊ゲート間の短絡の抑制が可能であった。また、メモリセル面積を $4 F^2$ に縮小することができた。さらに書き込み単位の増大が可能となり、書き込み速度の増大が図れた。

なお、本実施例では、シリコン酸化膜 217 a を第3ゲート 216 b の出来上

がり状態の中央部に形成するため、シリコン酸化膜 217a で覆われていないシリコン酸化膜 217a の側壁部分（第3ゲート 216b の両端部）が選択的にエッチングされる。このため、第3ゲート 216b の出来上がり状態において、その両端部のエッティング断面形状が側壁部分でも十分に平坦に形成できる。すなわち、通常のエッティングにおいては側壁部分のエッティング速度が遅いため、その形状は図 13 (d) に示すように側壁部分に鋭利な突起 P を残す形状で形成される。しかし、本実施例では、前記したとおり中央部にマスクとして機能するシリコン酸化膜 217a が形成されているため、このような形状にはならない。このため、第3ゲート 216b の標高を浮遊ゲート 203a の標高よりも確実に低く形成でき、本発明の目的を確実に達成することができる。

なお、図 14 に示すように、シリコン酸化膜 217 に代えて、凹部を埋め込む厚い膜厚のシリコン酸化膜 217c を形成してもよい（図 14 (a)）。そして、シリコン酸化膜 217c およびポリシリコン膜 216 に CMP 法による研磨を施す（図 14 (b)）。このときシリコン酸化膜 217c はシリコン酸化膜 217d となり、ポリシリコン膜 216 はポリシリコン膜 216a となる。その後、前記同様、ポリシリコン膜 216a をエッチバックし、浮遊ゲートパターン 203a, 204a の隙間に所定の厚さでポリシリコン膜 216a を残す（ポリシリコン 216a は 216b となる）（図 14 (c)）。その後、シリコン酸化膜 217d を除去し、図 13 (b) 以降の工程を継続する。このような場合、CMP 法によりポリシリコン膜 216 が凹部の内側に倒されて損傷することを防止できる。

実施例 5

図 15 は、本発明の実施例 5 の半導体集積回路装置の製造方法の一例を示した断面図である。本実施例では、第3ゲートとなるポリシリコン膜を加工する際、化学的機械研磨法とドライエッティングによるエッチバックを併用した。フラッシュメモリセルの平面配置、完成後の断面構造、動作方式は実施例 1 と同一でありここでは省略した。

まず実施例 1 の図 3 (a) から (e) に示したのと同一の方法により、シリコン基板 200 にウェル 201、ゲート酸化膜 202、浮遊ゲートパターン 203a, 204a、拡散層 205、浮遊ゲートと第3ゲートを分離するための窒素を

添加したシリコン酸化膜 206 を順次形成した（図示せず）。

その後、第3ゲートとなるリンをドーピングしたポリシリコン膜 218 を浮遊ゲートパターン 203a, 204a の隙間を完全に埋め込むように堆積した（図 15 (a)）。

5 続いて化学的機械研磨法により、浮遊ゲートパターンのシリコン窒化膜 204a が露出するまで上記ポリシリコン膜 218 を研磨除去した（ポリシリコン膜 218、シリコン酸化膜 206 はそれぞれ 218a, 206a となる）（図 15 (b)）。

その後、ポリシリコン膜 218a をエッチバックし、浮遊ゲートパターン 2010 3a, 204a の隙間に所定の厚さ残した（ポリシリコン 218a は 218b となる）（図 15 (c)）。

その後、実施例 1 の図 4 (c) から図 5 (e) と同様の方法によりシリコン酸化膜 208a, 2 層目の浮遊ゲートポリシリコン膜 209a、窒素を添加したシリコン酸化膜 210、ポリメタル膜からなるワード線 211a を形成し、メモリ 15 セルを完成した。

本方法により形成したメモリセルは実施例 1 から 4 と同様、従来技術に比べ繰返し書換えの際のしきい値ウインドウの狭帯化が抑制可能であった。また、放置後のしきい値変動を抑制可能であった。また、低い電圧で動作が可能であった。あわせて第3ゲート浮遊ゲート間の短絡が抑制可能であった。また、メモリセル面積を $4 F^2$ に縮小することができた。さらに書き込み単位の増大が可能となり、書き込み速度の増大が図れた。

なお、本実施例の製造方法では、図 15 (b) に示すようにポリシリコン膜 218 を研磨しているので、その表面が平坦化されている。このため、その後のエッチバックにおけるポリシリコンの除去量を低減できるので、エッチバック工程 25 の負荷を低減できる。また、平坦化した後にエッチングを行うので、ポリシリコン膜 218b の表面を平坦に形成しやすいというメリットがある。

実施例 6

図 16 および図 17 は、本発明の実施例 6 の半導体集積回路装置の製造方法の一例を示した断面図である。本実施例と実施例 1 から 5 との違いは、第3ゲート

となるポリシリコン膜の上表面の高さを熱酸化法により調整した点である。フラッシュメモリセルの平面配置、完成後の断面構造、動作方式は実施例1と同一でありここでは省略した。

まず実施例1の図3(a)から(e)に示したのと同一の方法により、シリコ
5ン基板200にウェル201、ゲート酸化膜202、浮遊ゲートパターン203
a, 204a、拡散層205、浮遊ゲートと第3ゲートを分離するための窒素を
添加したシリコン酸化膜206を順次形成した(図示せず)。

その後、第3ゲートとなるリンをドーピングしたポリシリコン膜219を浮遊
ゲートパターン203a, 204aの隙間に完全に埋め込むように堆積した(図
10 16(a))。

その後、異方性ドライエッチングを行い、ポリシリコン膜219をエッチバッ
クして浮遊ゲートパターン203aの隙間に残した(ポリシリコン219は21
9aとなる)(図16(b))。

次に熱酸化法によりポリシリコン膜219aの表面にシリコン酸化膜220を
15 形成し、ポリシリコン219aの上表面が浮遊ゲートポリシリコン203aより
下の所望の位置となるようにした(ポリシリコン219aは219bとなる)
(図16(c))。この際、シリコン酸化膜206中の窒素は浮遊ゲートポリシリ
コン203aの側壁が酸化されるのを抑制する効果があり、好都合である。

その後、フッ酸水溶液によりシリコン窒化膜パターン204aの上表面上に存
20 在するシリコン酸化膜206を除去した(シリコン酸化膜206は206bにな
る)(図17(a))。

その後、熱リン酸水溶液を用いてシリコン窒化膜204aを除去し、ポリシリ
コン203aの表面を露出させた(図17(b))。

その後の工程は、実施例1の図5(b)以降の工程と同様である。

25 本実施例では実施例1から5に比べて第3ゲート219bの膜厚ばらつきを低
減可能であった。すなわち、図16(b)に示すエッチバック工程においては、
浮遊ゲート間の凹部に形成するポリシリコン膜219aの表面は比較的浅い位置
に形成されるため、平坦に形成できる。また、熱酸化法によりシリコン酸化膜2
20を形成するため、その膜厚制御は比較的容易である。このため、第3ゲート

219 b の膜厚を制御性よく形成でき、その膜厚ばらつきを抑制できる。このため、メモリセル間のカップリング比ばらつきが低減でき、書き込み／消去時間の均一化が図れた。

また、実施例 1 と同様、従来技術に比べ繰返し書換えの際のしきい値ウインドウの狭帯化が抑制可能であった。また、放置後のしきい値変動を抑制可能であった。また、低い電圧で動作が可能であった。あわせて消去ゲート－浮遊ゲート間の短絡が抑制可能であった。また、メモリセル面積を $4 F^2$ に縮小することができた。さらに書き込み単位の増大が可能となり、書き込み速度の増大が図れた。

実施例 7

10 図 18～図 20 は、本発明の実施例 7 の半導体集積回路装置の製造方法の一例

を示した断面図である。本実施例では、実施例 1 から 6 とは異なり、浮遊ゲートパターンを形成する前に第 3 ゲートを形成した場合を説明する。フラッシュメモリセルの平面配置、動作方式は実施例 1 と同一でありここでは省略した。

まず、シリコン基板 300 上に p 型ウェル 301 を形成した後、たとえば熱酸化法により 12 nm 程度のゲート酸化膜 302 を形成した（図 18 (a)）。

続いて第 3 ゲートとなるリンをドーピングしたポリシリコン膜 303 及びシリコン酸化膜 304 を順次堆積した（図 18 (b)）。

次にリソグラフィとドライエッチング技術により上記シリコン酸化膜 304 及びポリシリコン膜 303 をパターニングした（シリコン酸化膜及びポリシリコン膜はそれぞれ 304a, 303a となる）（図 18 (c)）。

その後、斜めイオン打込み法によりひ素イオンを打込み、メモリセルのソース／ドレインとなる拡散層 305 を形成した（図 18 (d)）。

次に、浮遊ゲートと第 3 ゲートを分離するための窒素を添加したシリコン酸化膜 306 を実施例 1 の図 3 (e) と同一の方法により形成した後（図 19 (a)）、浮遊ゲートとなるリンをドーピングしたポリシリコン膜 307 を第 3 ゲートパターン 303a, 304a の隙間に完全に埋まるように堆積した（図 19 (b)）。

その後、異方性ドライエッチングを行い、ポリシリコン膜 307 をエッチバックして第 3 ゲートパターン 303a, 304a の隙間に残した（ポリシリコン 3

07は307aとなる）。この際、ポリシリコン膜307aの表面がポリシリコン膜303aの表面より高くなるようにエッティング量を調整した（図19(c)）。

その後、リンをドーピングしたポリシリコン膜308を堆積し（図19

5 (d)）、これを異方性ドライエッティングした（ポリシリコン膜308は308aとなる）（図20(a)）。本ポリシリコン膜308aはポリシリコン307aと電気的に接続しており、この2層のポリシリコンで浮遊ゲートを形成する。

ポリシリコン308aは浮遊ゲートの表面積を増大し、メモリセルのカップリング比を増大する効果がある。これにより書き込み／消去時の内部動作電圧の低減が

10 可能である。

次に、図3(e)で示した方法と同一の手法により、浮遊ゲートとワード線を分離する10.5nmの窒素を添加したシリコン酸化膜309を形成した（図20(b)）。

その後、ポリシリコン膜、窒化タンゲステン膜、タンゲステン膜の積層膜、い

15 わゆるポリメタル膜310を堆積し、これを公知のリソグラフィとドライエッティング技術によりパターニングしてワード線を形成した（ポリメタル膜310は310aとなる）。さらにシリコン酸化膜309、ポリシリコン膜308a、307aを順次エッティングし、浮遊ゲートを完成した（これによりポリシリコン308a、307aはそれぞれ308b及び307bに、またシリコン酸化膜309は309aとなる）（図20(c)）。

その後、図には示していないが、層間絶縁膜を形成した後、ワード線310a、ソース／ドレイン拡散層305、ウェル301、第3ゲート303aに至るコントクト孔を形成し、続いて金属膜を堆積してこれをパターニングして配線とし、メモリセルを完成した。

25 本実施例により形成したメモリセルでは、実施例1から6に比べ、ビット間の書き込み／消去時間のばらつきが低減可能であった。これは、本実施例では第3ゲートの上表面の位置がポリシリコン膜303の堆積膜厚で決まるため、メモリセル間のカップリング比のばらつきが低減できるためである。

また、実施例1から5で行なったシリコン酸化膜208による浮遊ゲートパタ

ーン 203 a 間の埋め込みと機械的化学研磨法による平坦化が不要となり、製造工程の簡略化が図れた。

また、他の実施例と同様、従来技術に比べ繰返し書換えの際のしきい値 WINDOW の狭帯化が抑制可能であった。また、放置後のしきい値変動を抑制可能であった。また、低い電圧で動作が可能であった。あわせて第 3 ゲート浮遊ゲート間の短絡が抑制可能であった。また、メモリセル面積を $4 F^2$ に縮小することができた。さらに書き込み単位の増大が可能となり、書き込み速度の増大が図れた。

実施例 8

図 21 は、本発明の実施例 8 の半導体集積回路装置の製造方法の一例を示した
10 断面図である。本実施例の製造方法は、浮遊ゲートパターンを形成する前に第 3
ゲートを形成した別の例である。フラッシュメモリセルの平面配置、動作方式は
実施例 1 と同一でありここでは省略した。

実施例 7 の図 18 (a) ~ 図 19 (a) と同様の工程で、シリコン基板 300 上に p 型ウェル 301、ゲート酸化膜 302、ポリシリコン膜 303 a、シリコン酸化膜 304 a を形成し、メモリセルのソース／ドレインとなる拡散層 305、
15 窒素を添加したシリコン酸化膜 306 を形成する。

その後、浮遊ゲートとなるリンをドーピングしたポリシリコン膜 311 を堆積した。この際、実施例 7 とは異なり、ポリシリコン膜 311 の膜厚は第 3 ゲート
20 パターン 303 a, 304 a の隙間が埋まらないような値とした（図 21 (a)）。

次に化学的機械研磨法 (CMP 法) により、ポリシリコン膜 311 をシリコン酸化膜 304 a の上表面が露出するまで研磨除去した（ポリシリコン膜 311 は 311 a に、シリコン酸化膜 304 a, 306 はそれぞれ 304 b, 306 a となる）（図 21 (b)）。なお、ここでは化学的機械研磨法を例示しているが、
25 エッチバック法を用いても良い。また、レジストを埋め込んだ後にエッチバックを行っても良い。さらに、シリコン酸化膜を埋め込んだ後に CMP 法を施しても良い。

次に、図 3 (e) で示した方法と同一の手法により、浮遊ゲートとワード線を分離する膜厚約 10.5 nm の窒素を添加したシリコン酸化膜 310 を形成した

(図21(c))。

その後、ポリシリコン膜、窒化タンゲステン膜、タンゲステン膜の積層膜、いわゆるポリメタル膜310を堆積し、これを公知のリソグラフィとドライエッチング技術によりパターニングしてワード線を形成した(ポリメタル膜310は310aとなる)。さらにシリコン酸化膜309、ポリシリコン膜308a、307aを順次エッチングし、浮遊ゲートを完成した(これによりポリシリコン307aはそれぞれ307bに、またシリコン酸化膜309は309aとなる)(図21(d))。

その後、図には示していないが、層間絶縁膜を形成した後、ワード線310a、ソース／ドレイン拡散層305、ウェル301、第3ゲート303aに至るコンタクト孔を形成し、続いて金属膜を堆積してこれをパターニングして配線とし、メモリセルを完成した。

本実施例により形成したメモリセルでは、実施例7と同様、ビット間の書き込み／消去時間のばらつきが低減可能であった。また、浮遊ゲートを1層のポリシリコンで形成したため、実施例7に比べ更に製造工程の簡略化が図れた。

また、他の実施例と同様、従来技術に比べ繰返し書換えの際のしきい値ウインドウの狭帯化が抑制可能であった。また、放置後のしきい値変動を抑制可能であった。また、低い電圧で動作が可能であった。あわせて第3ゲート浮遊ゲート間の短絡の抑制が可能であった。また、メモリセル面積を $4 F^2$ に縮小することができた。さらに書き込み単位の増大が可能となり、書き込み速度の増大が図れた。

実施例9

図22～図24は、本発明の実施例9である半導体集積回路装置の製造方法の一例を示した断面図である。

まず、シリコン基板400中にp型ウェル401を形成し、この上に素子分離領域となるフィールド酸化膜402を形成した(図22(a))。次に、たとえば熱酸化法によりゲート酸化膜403を形成した(図22(b))。

続いて浮遊ゲートとなるリンをドーピングしたポリシリコン膜404を堆積し(図22(c))、リソグラフィとドライエッチング技術により上記ポリシリコン膜404をパターニングして浮遊ゲートを形成した(ポリシリコン膜は404

a となる) (図 22 (d))。

その後、イオン打込み法によりひ素イオンを打込み、メモリセルのソース／ドレインとなる拡散層 405 を形成した(図示せず)。

次に、実施例 1 の図 3 (e) で示した方法により浮遊ゲートと第 3 ゲートを分離するための絶縁膜 406 を形成した(図 23 (a))。

その後、第 3 ゲートとなるリンをドーピングしたポリシリコン膜 410 を浮遊ゲートパターン 404a の隙間が完全に埋まるように堆積した(図 23 (b))。

その後、ドライエッチング技術によりポリシリコン膜 410 を、その上表面が浮遊ゲートポリシリコン 404a の上表面より低い位置となるようエッチバック 10 した(ポリシリコン 410 は 410a となる)(図 23 (c))。

その後、図 3 (e) で示した方法と同一の手法により、浮遊ゲートとワード線を分離する窒素を添加したシリコン酸化膜 408 を形成した(図 24 (a))。

その後、ポリシリコン膜、窒化タンゲステン膜、タンゲステン膜の積層膜、いわゆるポリメタル膜 409 を堆積し(図 24 (b))、これをリソグラフィとドライエッチング技術によりパターニングしてワード線を形成した(ポリメタル膜 409 は 409a となる)(図 24 (c))。

その後、図には示していないが、層間絶縁膜を形成した後、ワード線 409a、ソース／ドレイン拡散層 405、ウェル 401、第 3 ゲート 407a に至るコンタクト孔を形成し、続いて金属膜を堆積してこれをパターニングして配線とし、20 メモリセルを完成した。

上記方法により形成したメモリセルは、従来技術に比べ繰返し書換えの際のしきい値ウインドウの狭帯化が抑制可能であった。また、放置後のしきい値変動を抑制可能であった。また、低い電圧で動作が可能であった。

本実施例によれば、半導体集積回路装置の繰返し書換え後の信頼性が向上でき 25 るという効果がある。また、内部動作電圧の低減が図れるという効果がある。

なお図 1～24 に記載の参照番号について、説明のもれを防ぐため、以下にまとめて示す。

【符号の説明】

200, 300, 400…半導体基板(シリコン基板)、

201, 301, 401…ウェル、

202, 302, 403…絶縁膜（ゲート酸化膜）、

402…素子分離膜、

203, 203a, 203b, 209, 209a, 307, 307a, 307

5 b, 308, 308a, 308b, 311, 311a, 404, 404a…浮遊
ゲートポリシリコン膜、

204, 204a…シリコン窒化膜、

205, 305, 405…拡散層領域、

206, 206a, 216b, 306, 406…窒素を導入したシリコン酸化

10 膜、

207, 207a, 212, 212a, 214, 214', 214a, 214

a', 214b, 216, 216a, 216b, 218, 218a, 218b,

219, 219a, 219b, 303, 303a, 410, 410a…第3のゲ
ートとなるポリシリコン膜、

15 208, 208a, 217, 217a, 217b, 217c, 220, 304,
304a…シリコン酸化膜、

210, 210a, 309, 309a, 408…窒素を導入したシリコン酸化
膜、

211, 211a, 310, 409…ポリメタル膜、

20 211a, 310a, 409a…ワード線。

以上、本発明者によってなされた発明を実施の形態である実施例に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

たとえば、前記実施の形態では、ワード線の材料としてポリシリコン膜、窒化
25 タングステン膜、タングステン膜の積層膜を用いたが、窒化タングステン膜に代
えて他のバリアメタル膜、例えばタングステン、チタン、タンタル等の遷移金属
元素単体、あるいはその窒化物、もしくはその珪化物（シリサイド）やアルミニ
ウム窒化物、コバルトシリサイド、モリブデンシリサイド、更にはチタンタング
ステン等の合金膜を用いても同等の効果が得られる。またポリシリコン膜と金属

珪化物の積層膜、いわゆるポリサイド膜であっても同様の効果が得られる。

また、前記実施例では、ワード線の材料としてポリシリコン膜、窒化タンゲスタン膜、タンゲステン膜の積層膜を用いたが、これらに代えてポリシリコン膜と金属珪化物の積層膜を用いても同様の効果が得られる。金属珪化物の代表例としてはタンゲステンシリサイド膜がある。また、ポリシリコン単層膜でも同様の効果が得られる。

また、前記実施例では、浮遊ゲートと第3ゲートを分離する絶縁膜として窒素を添加したシリコン酸化膜を用いたが、本不揮発性半導体記憶装置を書換え回数が少ない製品に応用するような場合には、従来の熱酸化法やCVD法により形成したシリコン酸化膜を用いてよい。

また、前記実施例では、浮遊ゲートと制御ゲートを分離する絶縁膜に対しても窒素を添加したシリコン酸化膜を用いたが、書換え時の内部動作電圧や書換え速度があまり重要とならないような目的で使用される場合には、従来広く用いられているシリコン酸化膜／シリコン窒化膜／シリコン酸化膜の積層膜、いわゆるONO膜を用いてよい。

また、前記実施例では、p型のウェル中にn型の拡散層を形成したnチャネル型のメモリセルを例に説明したが、ウェルがn型であり、拡散層がp型となるpチャネル型のメモリセルにおいても同様の効果が得られる。この場合、書き込みの際の制御ゲート、第3ゲート、およびドレインの電位はウェル電位に対し相対的に負の値となる。この場合、ホットエレクトロンにより電子注入が生じる。

また、上記実施例においては、第3ゲートは書き込みの際のスプリットチャネルを制御するゲート及び消去ゲートの両方の機能を有したが、いずれか一方の機能を有していればよい。

産業上の利用の可能性

本発明のいずれの実施例においても、書き込みの際、浮遊ゲートに蓄積される電子の状態は最低2状態必要であるが、4状態以上のレベルを形成し、1つのメモリセルに2ビット以上のデータを記憶するいわゆる多値記憶に適用してもよい。従来の多値記憶では、浮遊ゲートに蓄積される電子の量を高精度に制御して各レベルのしきい値分布を圧縮しても、2値記憶に比べ、いちばん低いしきい値状態

といちばん高いしきい値状態の差が大きくなるという問題があった。このためファウラー・ノールドハイム型の書換えでは、書換え速度が遅くなるか、書き込み電圧が高くなるという問題が生じた。本発明によれば、書き込みおよび消去とともに 13.5 V 以下と低電圧化できる、言い換えれば書換えの高速化ができるので、多
5 値記憶方式に極めて有効である。

本発明は、また不揮発性半導体記憶素子を有するメモリセルアレイ部を備えたワンチップマイクロコンピュータ、システムLSI等の半導体装置に広く適用できる。

本願によって開示される発明のうち、代表的なものによって得られる効果を簡
10 単に説明すれば、以下の通りである。

半導体集積回路装置の繰返し書換え後の信頼性が向上できる。

半導体集積回路装置の内部動作電圧の低減が図れる。

半導体集積回路装置の歩留りの向上が図れる。

半導体集積回路装置のメモリセル面積を縮小することが可能である。

15 半導体集積回路装置の動作速度の向上が図れる。

以上の如き効果が得られる本発明においては、産業上の利用性は大きい。

請求の範囲

1. シリコン基板中に第1導電型のウェルを形成する工程と、前記シリコン基板上に第1絶縁膜を介して浮遊ゲートとなる第1パターンを形成する工程と、前記ウェル中にソース・ドレインとなる第2導電型の半導体領域を形成する工程と、前記第1パターンを覆う第2絶縁膜を形成する工程と、前記第1パターンによつて形成される隙間に、前記第2絶縁膜を介して第3ゲートを形成する工程と、前記浮遊ゲートおよび第3ゲートの上層に制御ゲートを形成する工程と、を有する半導体集積回路装置の製造方法であつて、
10 前記第3ゲート上面の標高を前記浮遊ゲートとなる第1パターン上面の標高より低く形成することを特徴とする半導体集積回路装置の製造方法。
2. 請求項1記載の半導体集積回路装置の製造方法であつて、
前記第3ゲートは、前記隙間を完全に埋め込む多結晶シリコン膜を形成した後、前記多結晶シリコン膜にドライエッチングを施す第1の方法、
15 前記第3ゲートは、前記隙間を完全に埋め込む多結晶シリコン膜を形成した後、前記多結晶シリコン膜に化学的機械研磨法による研磨を施し、その後ドライエッチングを施す第2の方法、
前記第3ゲートは、前記隙間を完全に埋め込む多結晶シリコン膜を形成した後、前記多結晶シリコン膜に化学的機械研磨法による研磨を施し、その後前記多結晶
20 シリコン膜の表面部を酸化し、前記酸化された部分を選択的に除去する第3の方法、
の何れかの方法により形成されることを特徴とする半導体集積回路装置の製造方法。
3. 請求項1記載の半導体集積回路装置の製造方法であつて、
25 前記第3ゲートは、前記隙間を完全に埋め込まないように多結晶シリコン膜を形成した後、前記隙間を埋め込むフォトトレジスト膜を形成し、前記フォトトレジスト膜および多結晶シリコン膜にドライエッチングを施す第1の方法、
前記第3ゲートは、前記隙間を完全に埋め込まないように多結晶シリコン膜を形成した後、前記多結晶シリコン膜に化学的機械研磨法による研磨を施し、前記

隙間を埋め込むフォトレジスト膜を形成し、前記フォトレジスト膜および多結晶シリコン膜にドライエッチングを施す第2の方法、

前記第3ゲートは、前記隙間を完全に埋め込まないように多結晶シリコン膜を形成した後、前記隙間を埋め込むシリコン酸化膜を堆積し、前記シリコン酸化膜

- 5 および多結晶シリコン膜に化学的機械研磨法による研磨を施し、前記隙間のシリコン酸化膜を選択的に除去し、前記隙間を埋め込むフォトレジスト膜を形成し、前記フォトレジスト膜および多結晶シリコン膜にドライエッチングを施す第3の方法、

の何れかの方法により形成されることを特徴とする半導体集積回路装置の製造

- 10 方法。

4. 請求項3記載の半導体集積回路装置の製造方法であって、

前記フォトレジスト膜および多結晶シリコン膜のドライエッチングは、前記フォトレジスト膜および多結晶シリコン膜がほぼ等しいエッチング速度でエッチングされることを特徴とする半導体集積回路装置の製造方法。

- 15 5. 請求項1記載の半導体集積回路装置の製造方法であって、

前記第3ゲートは、前記隙間を完全に埋め込まないように多結晶シリコン膜を形成した後、前記多結晶シリコン膜上にシリコン酸化膜を形成し、前記シリコン酸化膜および多結晶シリコン膜に化学的機械研磨法による研磨を施し、前記多結晶シリコン膜にドライエッチングを施し、前記シリコン酸化膜を除去する方法に

- 20 より形成されることを特徴とする半導体集積回路装置の製造方法。

6. 請求項3～5の何れか一項に記載の半導体集積回路装置の製造方法であつて、

前記多結晶シリコン膜の膜厚は、前記浮遊ゲートとなる第1パターンの膜厚よりも薄いことを特徴とする半導体集積回路装置の製造方法。

- 25 7. シリコン基板中に第1導電型のウェルを形成する工程と、前記シリコン基板上に第2絶縁膜を介して第3ゲートを形成する工程と、前記ウェル中にソース・ドレインとなる第2導電型の半導体領域を形成する工程と、前記第3ゲートを覆う第1絶縁膜を形成する工程と、前記第3ゲートによって形成される隙間に、前記第1絶縁膜を介して浮遊ゲートとなる第1パターンを形成する工程と、前記

浮遊ゲートおよび第3ゲートの上層に制御ゲートを形成する工程と、を有する半導体集積回路装置の製造方法であって、

前記第3ゲート上面の標高を前記浮遊ゲートとなる第1パターン上面の標高より低く形成することを特徴とする半導体集積回路装置の製造方法。

5 8. 請求項7記載の半導体集積回路装置の製造方法であって、

前記第1パターンは、前記隙間を完全に埋め込む多結晶シリコン膜を形成した後、前記多結晶シリコン膜にドライエッチングを施す第1の方法、

前記第1パターンは、前記隙間を完全に埋め込む多結晶シリコン膜を形成した後、前記多結晶シリコン膜に化学的機械研磨法による研磨を施し、その後ドライ

10 エッチングを施す第2の方法、

前記第1パターンは、前記隙間を完全に埋め込まないように多結晶シリコン膜を形成した後、前記多結晶シリコン膜に化学的機械研磨法による研磨を施す第3の方法、

前記第1パターンは、前記隙間を完全に埋め込まないように多結晶シリコン膜を形成した後、前記隙間を埋め込むフォトトレジスト膜を形成し、前記フォトトレジスト膜および多結晶シリコン膜にドライエッチングを施す第4の方法、

前記第1パターンは、前記隙間を完全に埋め込まないように多結晶シリコン膜を形成した後、前記隙間を埋め込むシリコン酸化膜を堆積し、前記シリコン酸化膜および多結晶シリコン膜に化学的機械研磨法による研磨を施す第5の方法、

20 の何れかの方法により形成されることを特徴とする半導体集積回路装置の製造方法。

9. 請求項1～8の何れか一項に記載の半導体集積回路装置の製造方法であつて、

前記第3ゲートは、前記浮遊ゲートに対して自己整合的に形成されることを特25 徴とする半導体集積回路装置の製造方法。

10. 請求項1～8の何れか一項に記載の半導体集積回路装置の製造方法であつて、

前記浮遊ゲートは、前記第3ゲートに対して自己整合的に形成されることを特徵とする半導体集積回路装置の製造方法。

11. 半導体基板の正面に形成された第1導電型のウェルと、前記ウェル内に形成された第2導電型の半導体領域と、前記半導体基板上に第1絶縁膜を介して形成された第1ゲートと、前記第1ゲート上に第2絶縁膜を介して形成された第2ゲートと、前記第1ゲートと第3絶縁膜を介して形成された第3ゲートとを有し、
5 前記第3ゲートが前記第1ゲートの隙間に埋め込んで形成されている半導体集積回路装置であって、

前記第3ゲート表面の標高が、前記第1ゲート表面の標高よりも低いことを特徴とする半導体集積回路装置。

12. 請求項11記載の半導体集積回路装置であって、

- 10 前記第3ゲートが消去ゲートである第1の構成、

前記第3ゲートがスプリットチャネルを制御するゲートである第2の構成、

前記第3ゲートが消去ゲートとスプリットチャネルを制御するゲートの両方の機能を有する第3の構成、

の何れかの構成を有することを特徴とする半導体集積回路装置。

- 15 13. 請求項11または12記載の半導体集積回路装置であって、

前記第3絶縁膜が、窒素を添加したシリコン酸化膜であることを特徴とする半導体集積回路装置。

補正書の請求の範囲

[2001年2月8日(08.02.01)国際事務局受理：新しい請求の範囲14-30が加えられた；他の請求の範囲は変更なし。(6頁)]

11. 半導体基板の正面に形成された第1導電型のウェルと、前記ウェル内に形成された第2導電型の半導体領域と、前記半導体基板上に第1絶縁膜を介して形成された第1ゲートと、前記第1ゲート上に第2絶縁膜を介して形成された第2ゲートと、前記第1ゲートと第3絶縁膜を介して形成された第3ゲートとを有し、
5 前記第3ゲートが前記第1ゲートの隙間に埋め込んで形成されている半導体集積回路装置であって、

前記第3ゲート表面の標高が、前記第1ゲート表面の標高よりも低いことを特徴とする半導体集積回路装置。

12. 請求項1-1記載の半導体集積回路装置であって、

- 10 前記第3ゲートが消去ゲートである第1の構成、
前記第3ゲートがスプリットチャネルを制御するゲートである第2の構成、
前記第3ゲートが消去ゲートとスプリットチャネルを制御するゲートの両方の機能を有する第3の構成、
の何れかの構成を有することを特徴とする半導体集積回路装置。

- 15 13. 請求項1-1または1-2記載の半導体集積回路装置であって、
前記第3絶縁膜が、窒素を添加したシリコン酸化膜であることを特徴とする半導体集積回路装置。

14. (追加) 半導体基板中に第1導電型のウェルを形成する工程と、前記半導体基板上に第1絶縁膜を介して浮遊ゲートとなる第1パターンを形成する工程と、
20 前記ウェル中にソース・ドレインとなる第2導電型の半導体領域を形成する工程と、少なくとも前記各第1パターンの側面及び前記各第1パターン間の前記半導体基板表面を覆う第2絶縁膜を形成する工程と、第3ゲートの材料膜を堆積した後に前記各第1パターン上方の前記材料膜を除去することにより、前記第1パターンによって形成される各隙間に、その各側面が両側の第1パターンの側面と前記第2絶縁膜を介して対向し、且つ、その底面が前記半導体基板表面と前記第2の絶縁膜を介して対向する、第3ゲートを形成する工程と、前記浮遊ゲートおよび第3ゲートの上層に制御ゲートを形成する工程と、を有する半導体集積回路装置の製造方法。
25

15. (追加) 請求項1-4記載の半導体集積回路装置の製造方法であって、

前記第3ゲートの側面の上端を、前記第3ゲートの側面と対向する前記浮遊ゲートとなる第1パターンの側面の上端より低く形成することを特徴とする半導体集積回路装置の製造方法。

16. (追加) 請求項15記載の半導体集積回路装置の製造方法であって、

5 前記第3ゲートは、前記隙間を完全に埋め込む多結晶シリコン膜を形成した後、前記多結晶シリコン膜にドライエッチングを施す方法により形成されることを特徴とする半導体集積回路装置の製造方法。

17. (追加) 請求項15記載の半導体集積回路装置の製造方法であって、

前記第3ゲートは、前記隙間を完全に埋め込む多結晶シリコン膜を形成した後、
10 前記多結晶シリコン膜に化学的機械研磨法による研磨を施し、その後ドライエッチングを施す方法により形成されることを特徴とする半導体集積回路装置の製造方法。

18. (追加) 請求項15記載の半導体集積回路装置の製造方法であって、

前記第3ゲートは、前記隙間を完全に埋め込む多結晶シリコン膜を形成した後、
15 前記多結晶シリコン膜に化学的機械研磨法による研磨を施し、その後前記多結晶シリコン膜の表面部を酸化し、前記酸化された部分を選択的に除去する方法により形成されることを特徴とする半導体集積回路装置の製造方法。

19. (追加) 請求項15記載の半導体集積回路装置の製造方法であって、

前記第3ゲートは、前記隙間を完全に埋め込まないように多結晶シリコン膜を
20 形成した後、前記隙間を埋め込むフォトトレジスト膜を形成し、前記フォトトレジスト膜および多結晶シリコン膜にドライエッチングを施す方法により形成されることを特徴とする半導体集積回路装置の製造方法。

20. (追加) 請求項15記載の半導体集積回路装置の製造方法であって、

前記第3ゲートは、前記隙間を完全に埋め込まないように多結晶シリコン膜を
25 形成した後、前記多結晶シリコン膜に化学的機械研磨法による研磨を施し、前記隙間を埋め込むフォトトレジスト膜を形成し、前記フォトトレジスト膜および多結晶シリコン膜にドライエッチングを施す方法により形成されることを特徴とする半導体集積回路装置の製造方法。

21. (追加) 請求項15記載の半導体集積回路装置の製造方法であって、

前記第3ゲートは、前記隙間を完全に埋め込まないように多結晶シリコン膜を形成した後、前記隙間を埋め込むシリコン酸化膜を堆積し、前記シリコン酸化膜および多結晶シリコン膜に化学的機械研磨法による研磨を施し、前記隙間のシリコン酸化膜を選択的に除去し、前記隙間を埋め込むフォトレジスト膜を形成し、
5 前記フォトレジスト膜および多結晶シリコン膜にドライエッチングを施す方法により形成されることを特徴とする半導体集積回路装置の製造方法。

22. (追加) 請求項19～21の何れか一項に記載の半導体集積回路装置の製造方法であって、

前記フォトレジスト膜および多結晶シリコン膜のドライエッチングは、前記フ

10 オトレジスト膜および多結晶シリコン膜がほぼ等しいエッチング速度でエッチングされることを特徴とする半導体集積回路装置の製造方法。

23. (追加) 請求項15記載の半導体集積回路装置の製造方法であって、

前記第3ゲートは、前記隙間を完全に埋め込まないように多結晶シリコン膜を形成した後、前記多結晶シリコン膜上にシリコン酸化膜を形成し、前記シリコン酸化膜および多結晶シリコン膜に化学的機械研磨法による研磨を施し、前記多結晶シリコン膜にドライエッチングを施し、前記シリコン酸化膜を除去する方法により形成されることを特徴とする半導体集積回路装置の製造方法。

24. (追加) 請求項19～23の何れか一項に記載の半導体集積回路装置の製造方法であって、

20 前記多結晶シリコン膜の膜厚は、前記浮遊ゲートとなる第1パターンの膜厚よりも薄いことを特徴とする半導体集積回路装置の製造方法。

25. (追加) 半導体基板中に第1導電型のウェルを形成する工程と、前記半導体基板上に第2絶縁膜を介して複数の第3ゲートを形成する工程と、前記ウェル中にソース・ドレインとなる第2導電型の半導体領域を形成する工程と、少なくとも前記各第3ゲートの側面及び前記各第3ゲート間の前記半導体基板表面を覆う第1絶縁膜を形成する工程と、浮遊ゲートの材料膜を堆積した後に前記各第3ゲート上方の前記材料膜を除去することにより、前記第3ゲートによって形成される各隙間に、その各側面が両側の第3ゲートの側面と前記第1絶縁膜を介して対向し、且つ、その底面が前記半導体基板表面と前記第1絶縁膜を介して対向す

る、浮遊ゲートとなる第1パターンを形成する工程と、前記浮遊ゲートおよび第3ゲートの上層に制御ゲートを形成する工程と、を有する半導体集積回路装置の製造方法。

26. (追加) 請求項25記載の半導体集積回路装置の製造方法であって、

5 前記第3ゲートの側面の上端を、前記第3ゲートの側面と対向する前記浮遊ゲートとなる第1パターンの側面の上端より低く形成することを特徴とする半導体集積回路装置の製造方法。

27. (追加) 請求項26記載の半導体集積回路装置の製造方法であって、

前記第1パターンは、前記隙間を完全に埋め込む多結晶シリコン膜を形成した
10 後、前記多結晶シリコン膜にドライエッチングを施す方法により形成されること
を特徴とする半導体集積回路装置の製造方法。

28. (追加) 請求項26記載の半導体集積回路装置の製造方法であって、

前記第1パターンは、前記隙間を完全に埋め込む多結晶シリコン膜を形成した
後、前記多結晶シリコン膜に化学的機械研磨法による研磨を施し、その後ドライ
15 エッチングを施す方法により形成されることを特徴とする半導体集積回路装置の
製造方法。

29. (追加) 請求項26記載の半導体集積回路装置の製造方法であって、

前記第1パターンは、前記隙間を完全に埋め込まないように多結晶シリコン膜
を形成した後、前記多結晶シリコン膜に化学的機械研磨法による研磨を施す方法
20 により形成されることを特徴とする半導体集積回路装置の製造方法。

30. (追加) 請求項26記載の半導体集積回路装置の製造方法であって、

前記第1パターンは、前記隙間を完全に埋め込まないように多結晶シリコン膜
を形成した後、前記隙間を埋め込むフォトトレジスト膜を形成し、前記フォトトレジ
25 スト膜および多結晶シリコン膜にドライエッチングを施す方法により形成される
ことを特徴とする半導体集積回路装置の製造方法。

31. (追加) 請求項26記載の半導体集積回路装置の製造方法であって、

前記第1パターンは、前記隙間を完全に埋め込まないように多結晶シリコン膜
を形成した後、前記隙間を埋め込むシリコン酸化膜を堆積し、前記シリコン酸化
膜および多結晶シリコン膜に化学的機械研磨法による研磨を施す方法により形成

されることを特徴とする半導体集積回路装置の製造方法。

32. (追加) 請求項 1 4 ~ 3 1 の何れか一項に記載の半導体集積回路装置の製造方法であって、

前記第 3 ゲートは、前記浮遊ゲートに対して自己整合的に形成されることを特

5 徵とする半導体集積回路装置の製造方法。

33. (追加) 請求項 1 4 ~ 3 1 の何れか一項に記載の半導体集積回路装置の製造方法であって、

前記浮遊ゲートは、前記第 3 ゲートに対して自己整合的に形成されることを特徴とする半導体集積回路装置の製造方法。

10 34. (追加) 半導体基板の主面に形成された第 1 導電型のウェルと、前記ウェル内に形成された第 2 導電型の半導体領域と、前記半導体基板上に第 1 絶縁膜を介して形成された第 1 ゲートと、前記第 1 ゲート上に第 2 絶縁膜を介して形成された第 2 ゲートと、前記第 1 ゲートと第 3 絶縁膜を介して形成された第 3 ゲートとを有し、前記第 3 ゲートが、その各側面が両端の第 1 ゲートの側面と前記第 3
15 絶縁膜を挟んで対向するように各第 1 ゲートの隙間に埋め込んで形成され、前記第 2 のゲートの延在方向と略直交する方向に延在している半導体集積回路装置。

35. (追加) 請求項 3 4 記載の半導体集積回路装置であって、

前記第 3 ゲートの側面の上端が、前記第 3 ゲートの側面と対向する前記第 1 ゲートの側面の上端よりも低いことを特徴とする半導体集積回路装置。

20 36. (追加) 請求項 3 5 記載の半導体集積回路装置であって、

前記第 3 ゲートが消去ゲートであることを特徴とする半導体集積回路装置。

37. (追加) 請求項 3 5 記載の半導体集積回路装置であって、

前記第 3 ゲートがスプリットチャネルを制御するゲートであることを特徴とする半導体集積回路装置。

25 38. (追加) 請求項 3 5 記載の半導体集積回路装置であって、

前記第 3 ゲートが消去ゲートとスプリットチャネルを制御するゲートの両方の機能を有することを特徴とする半導体集積回路装置。

39. (追加) 請求項 3 5 ~ 3 8 の何れか一項に記載の半導体集積回路装置であって、

前記第3絶縁膜が、窒素を添加したシリコン酸化膜であることを特徴とする半導体集積回路装置。

図 1

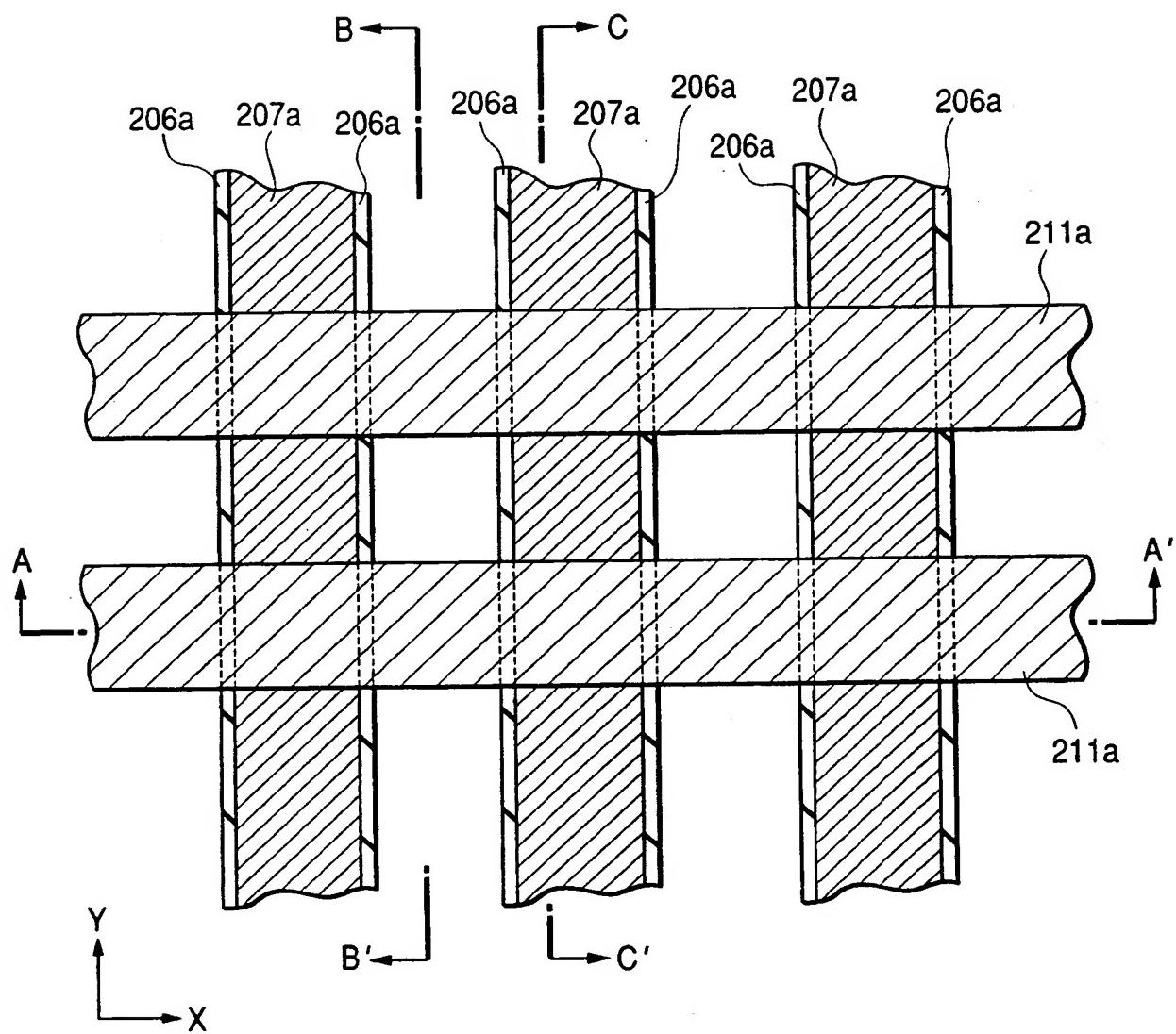


図 2

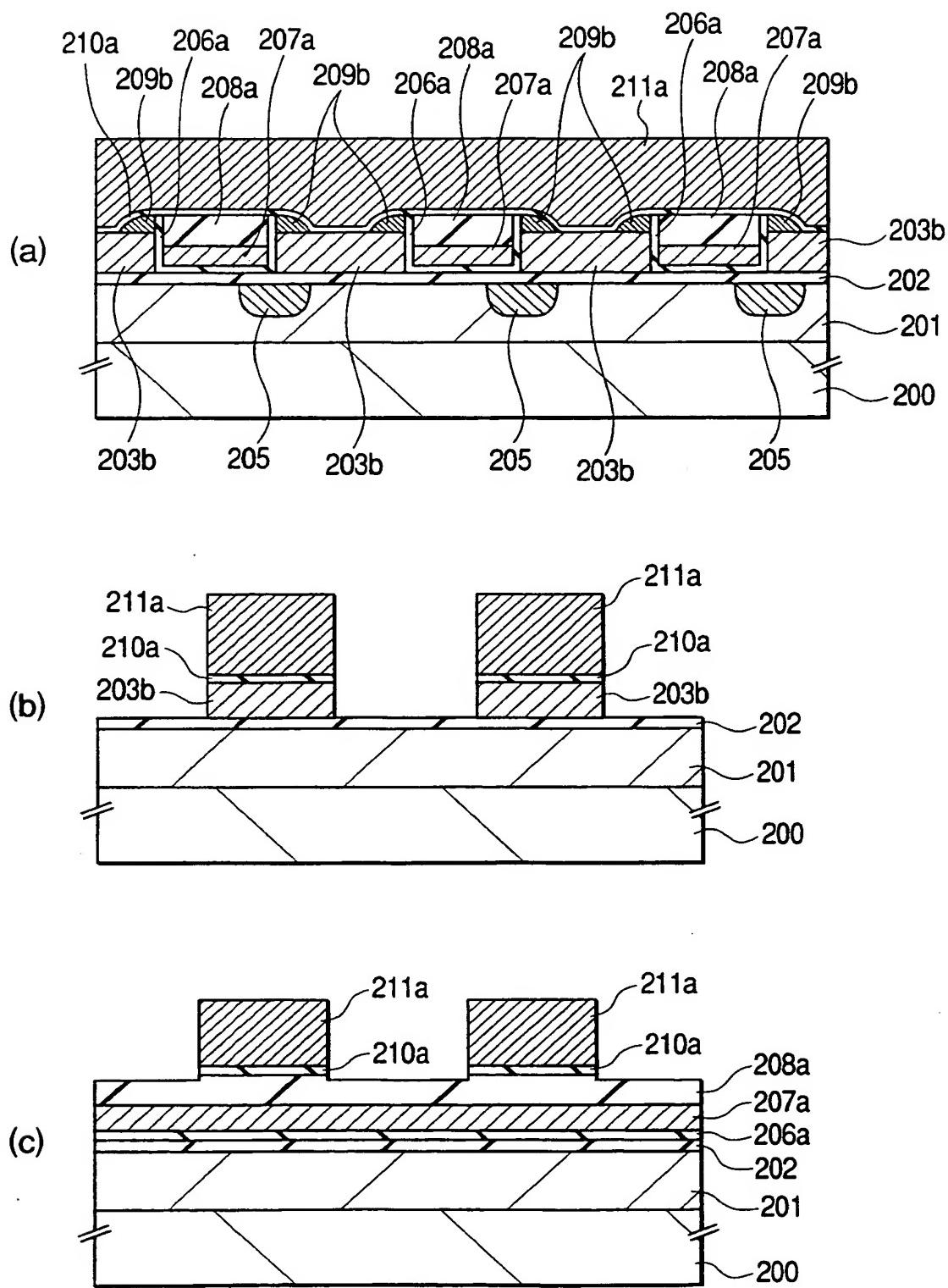


図 3

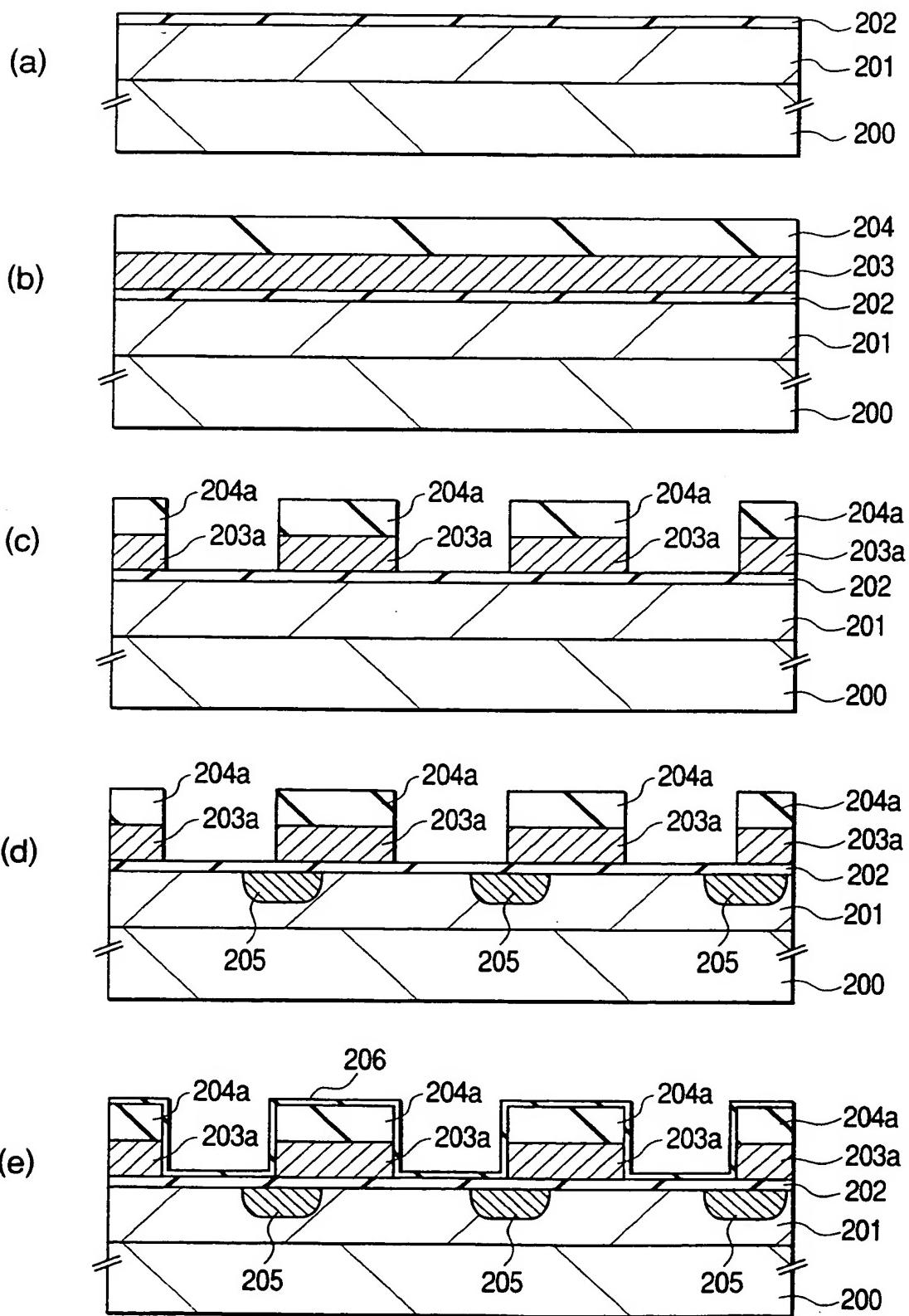
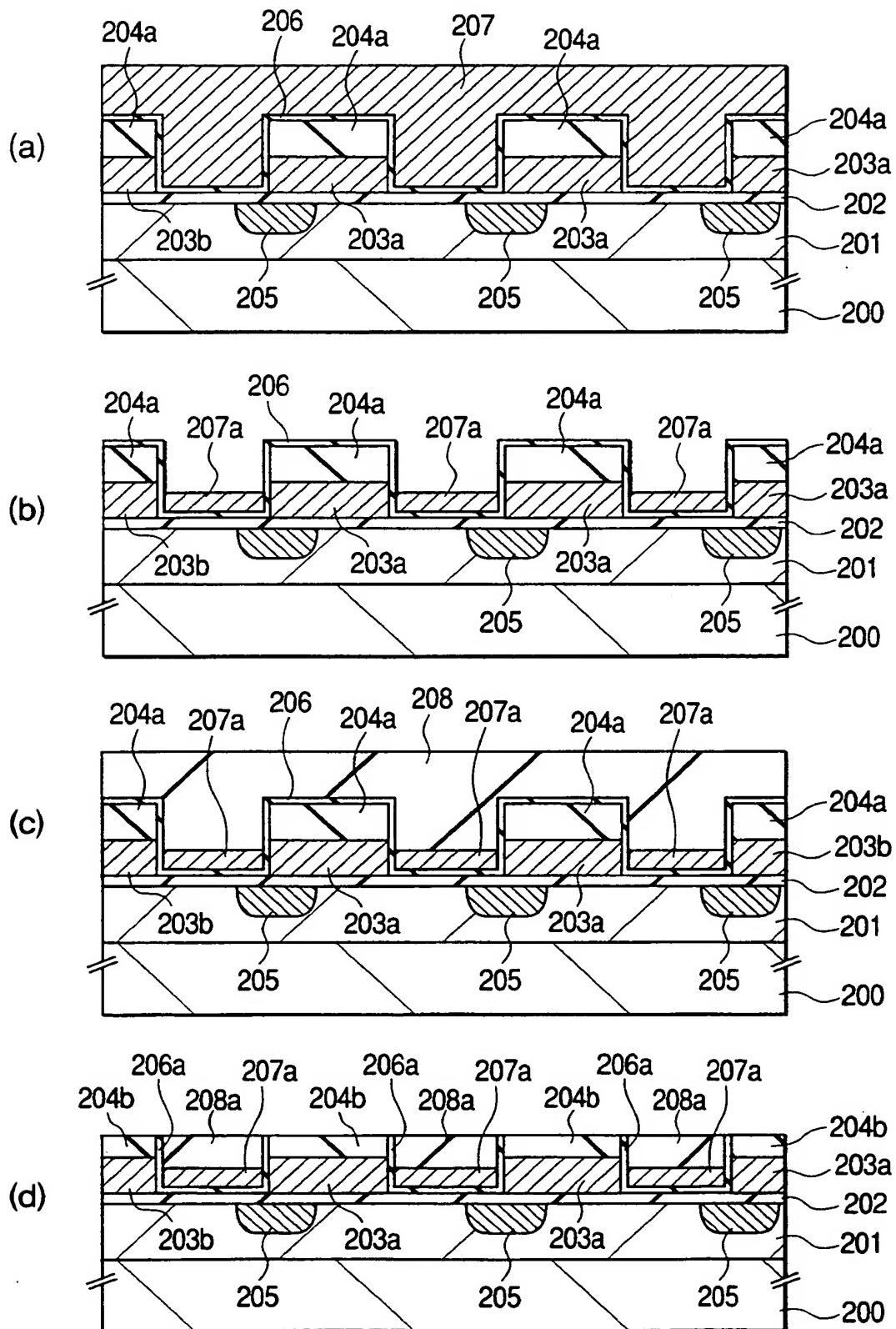
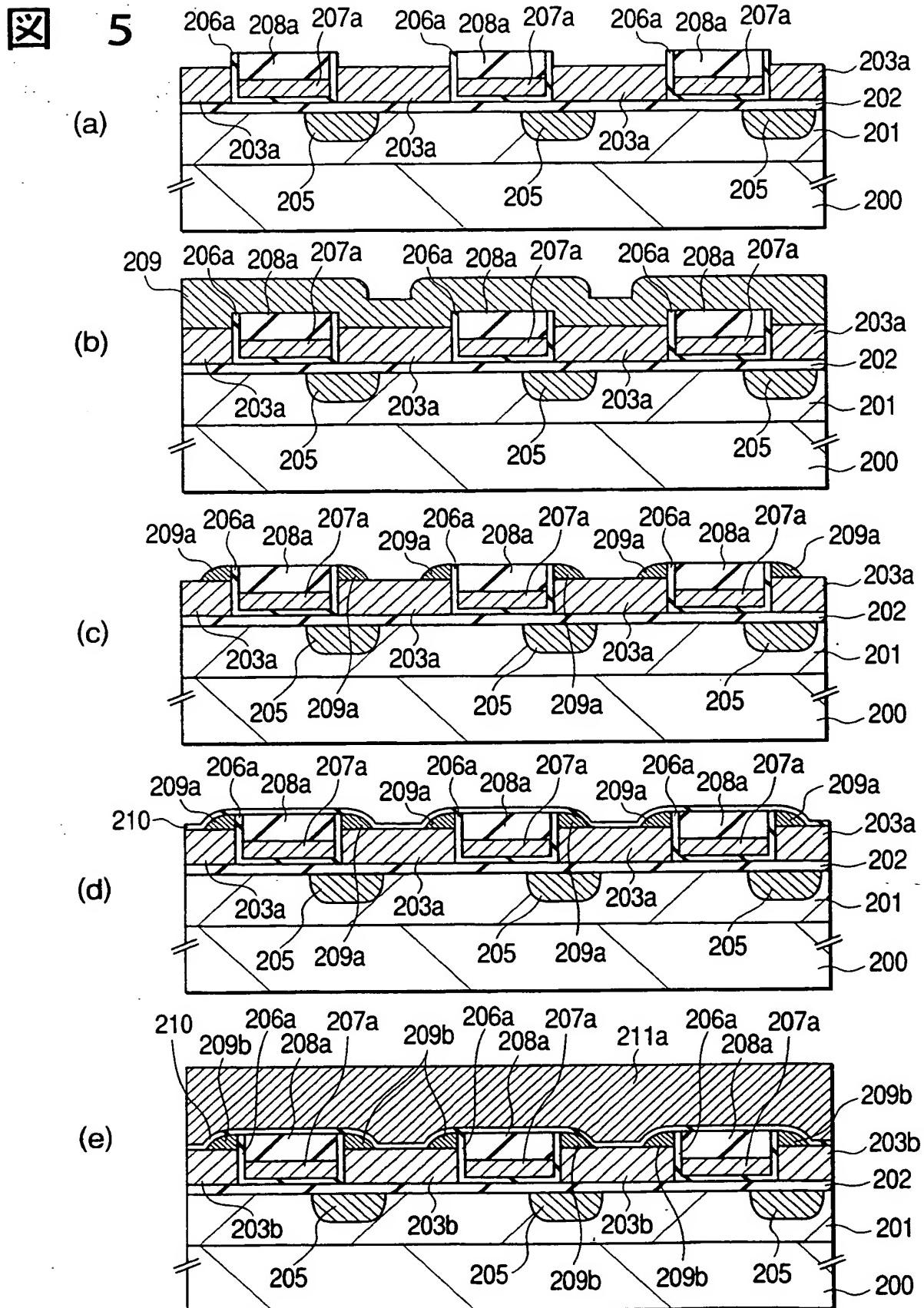


図 4



5 / 23



6 / 23

図 6

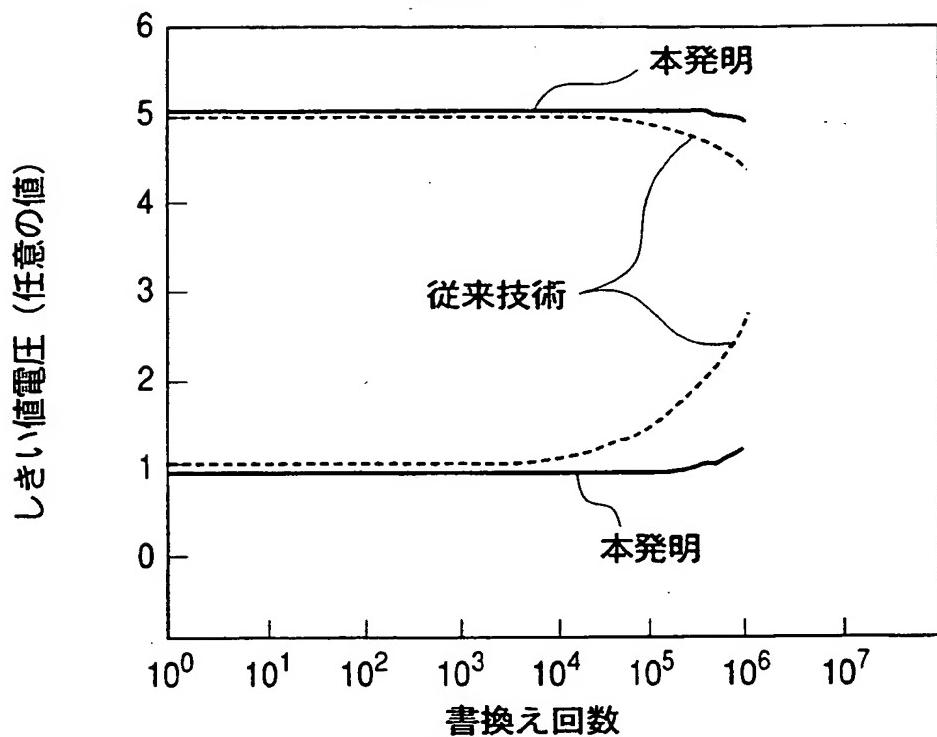
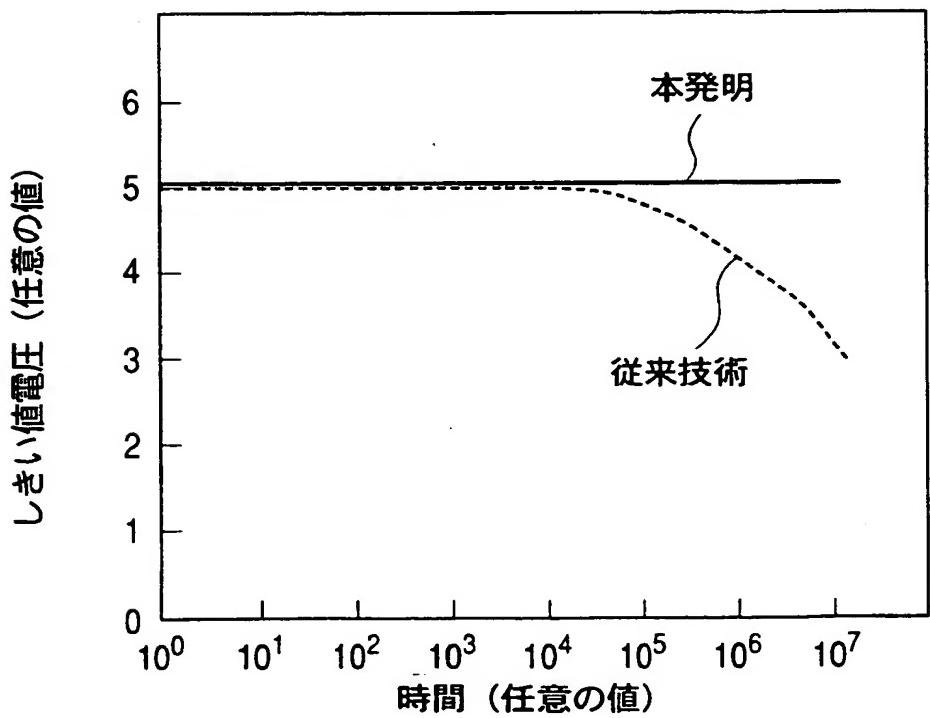


図 7



7 / 23

図 8

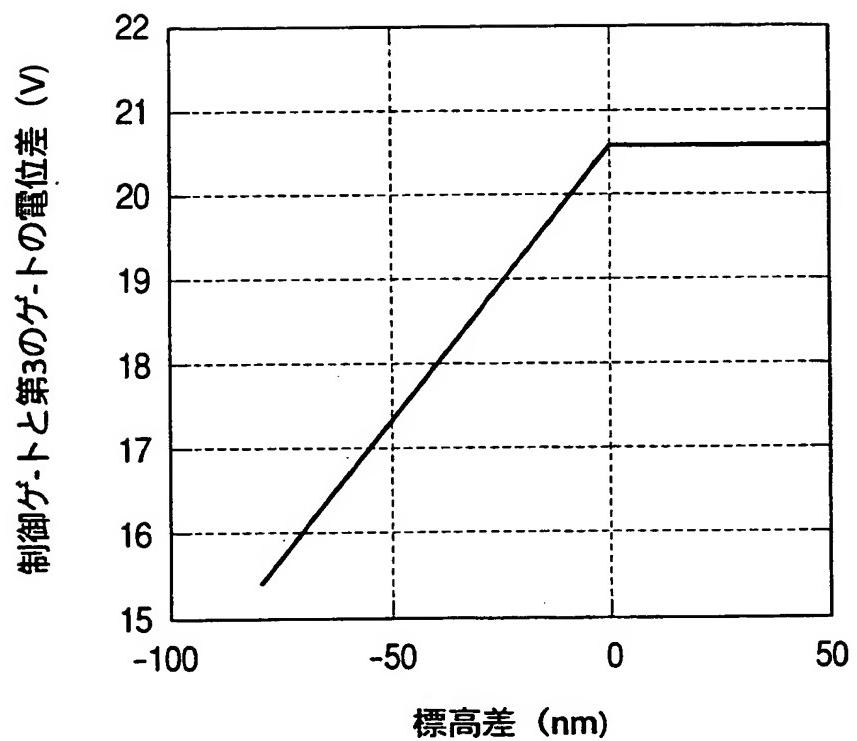
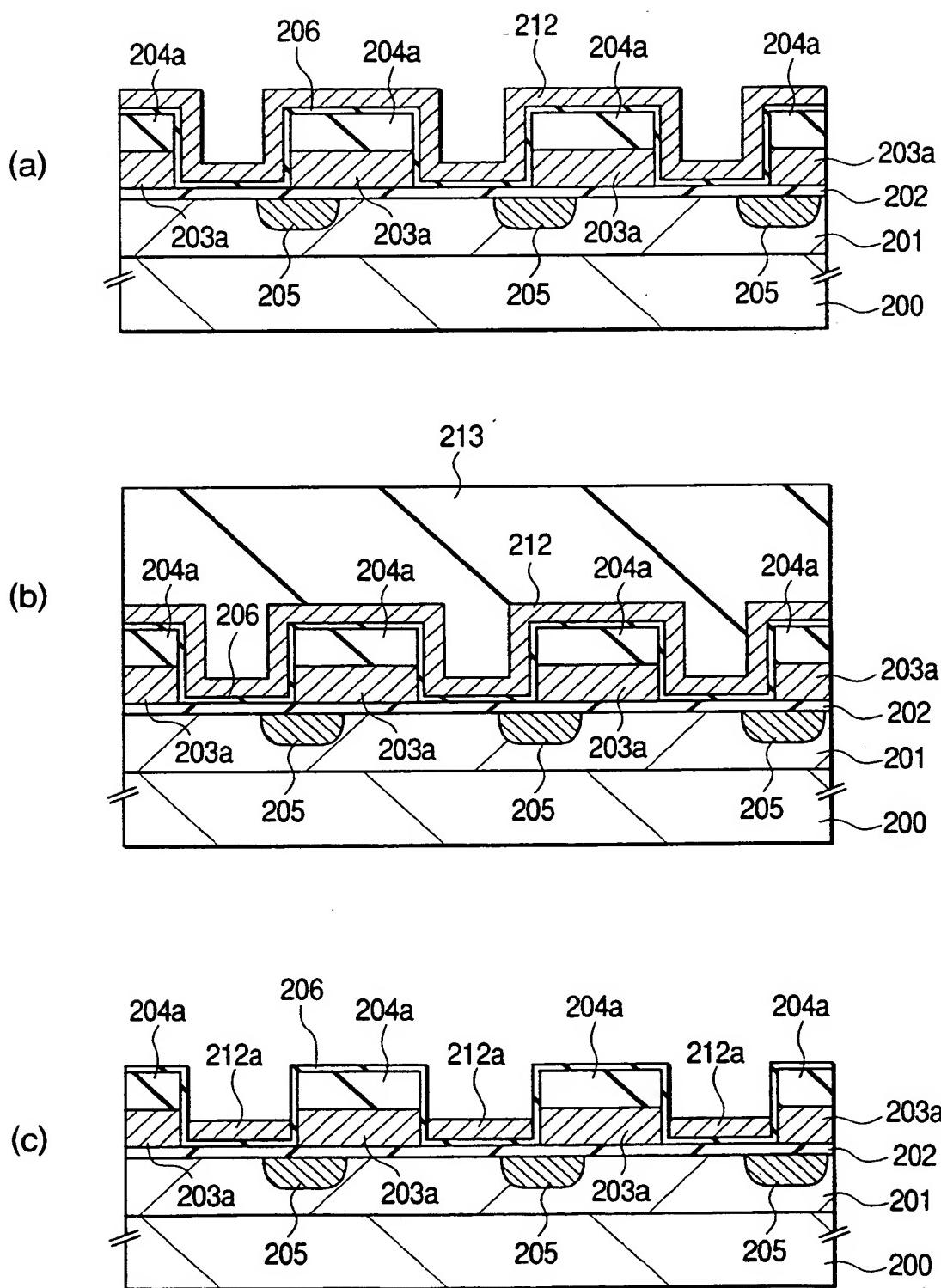


図 9



10

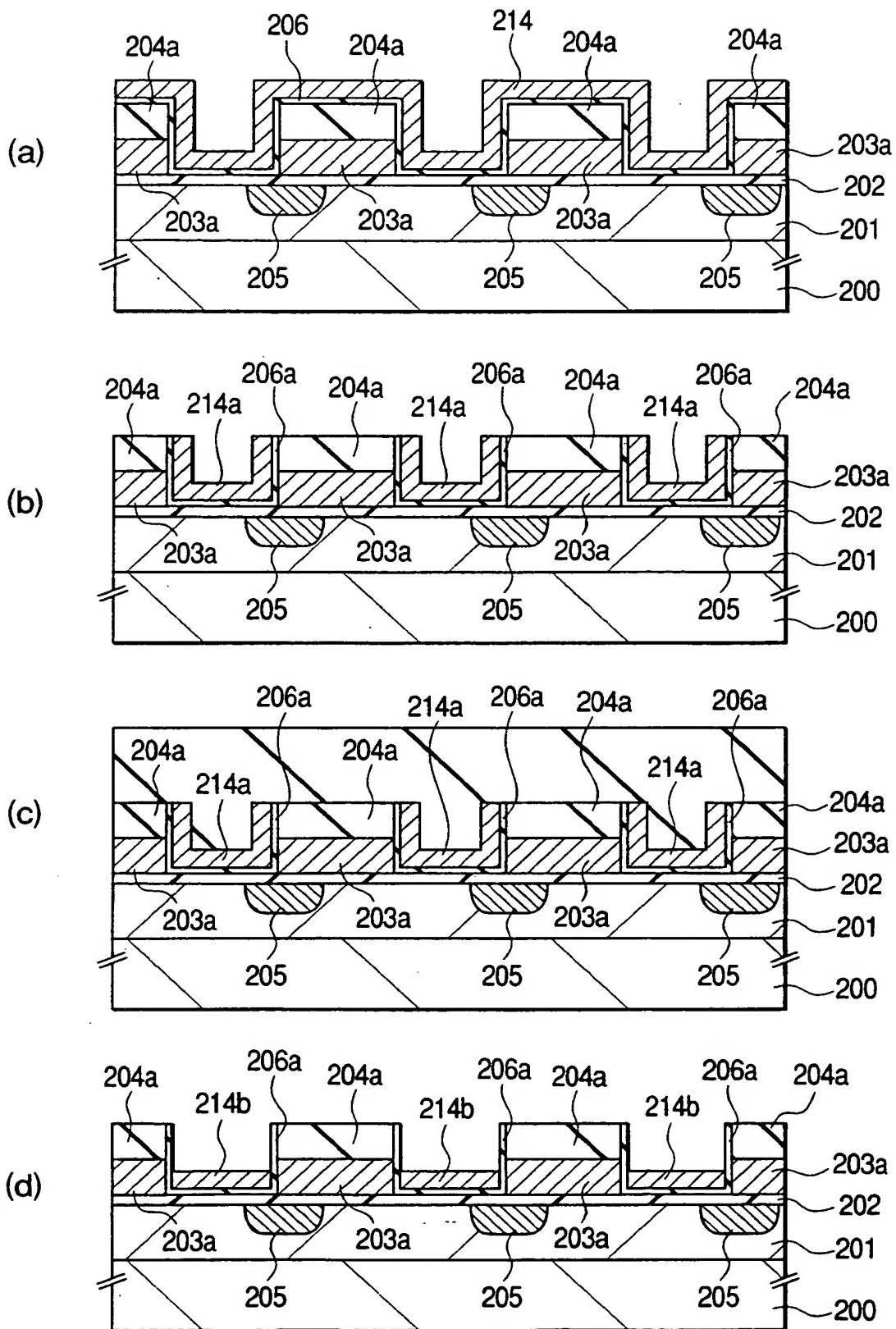


図 11

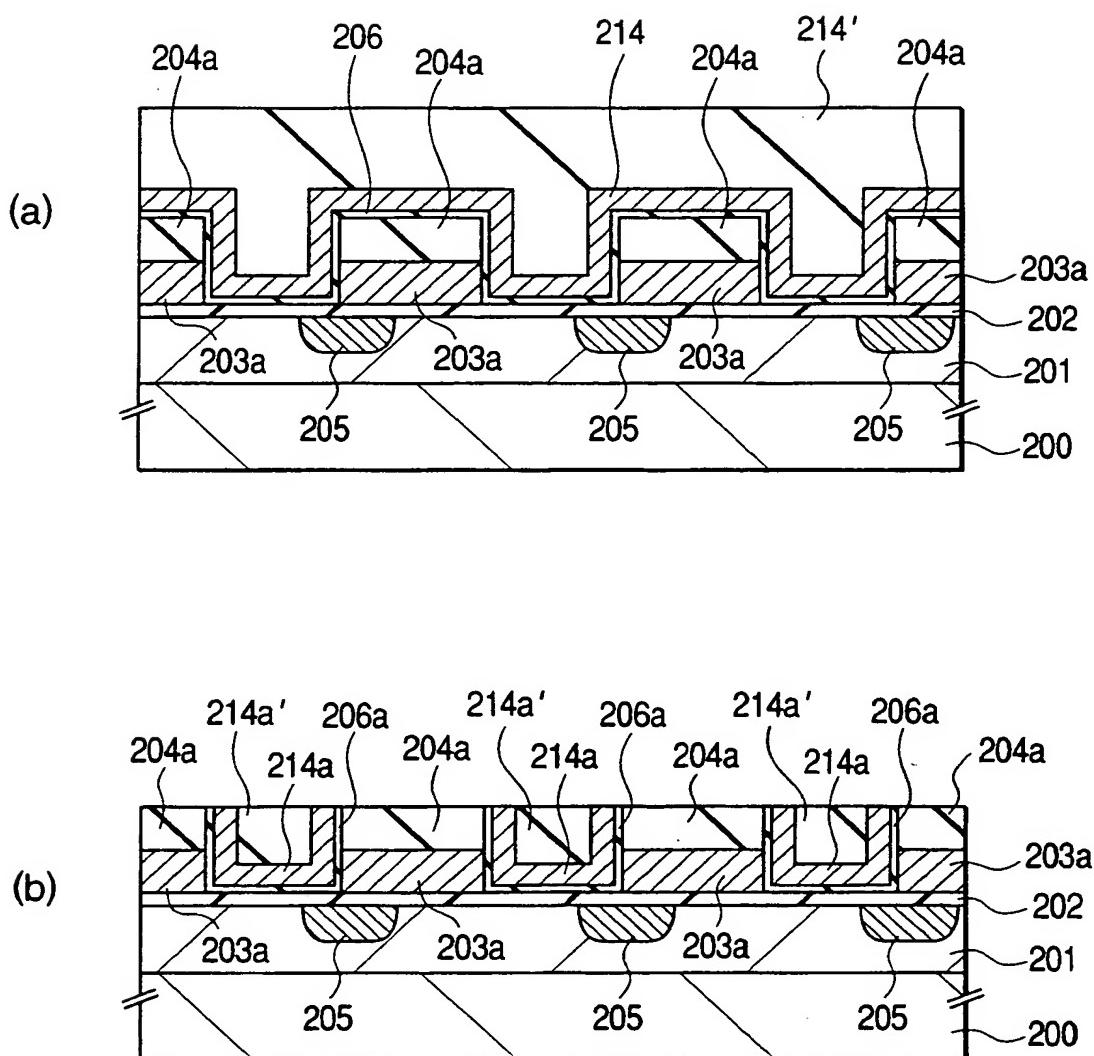
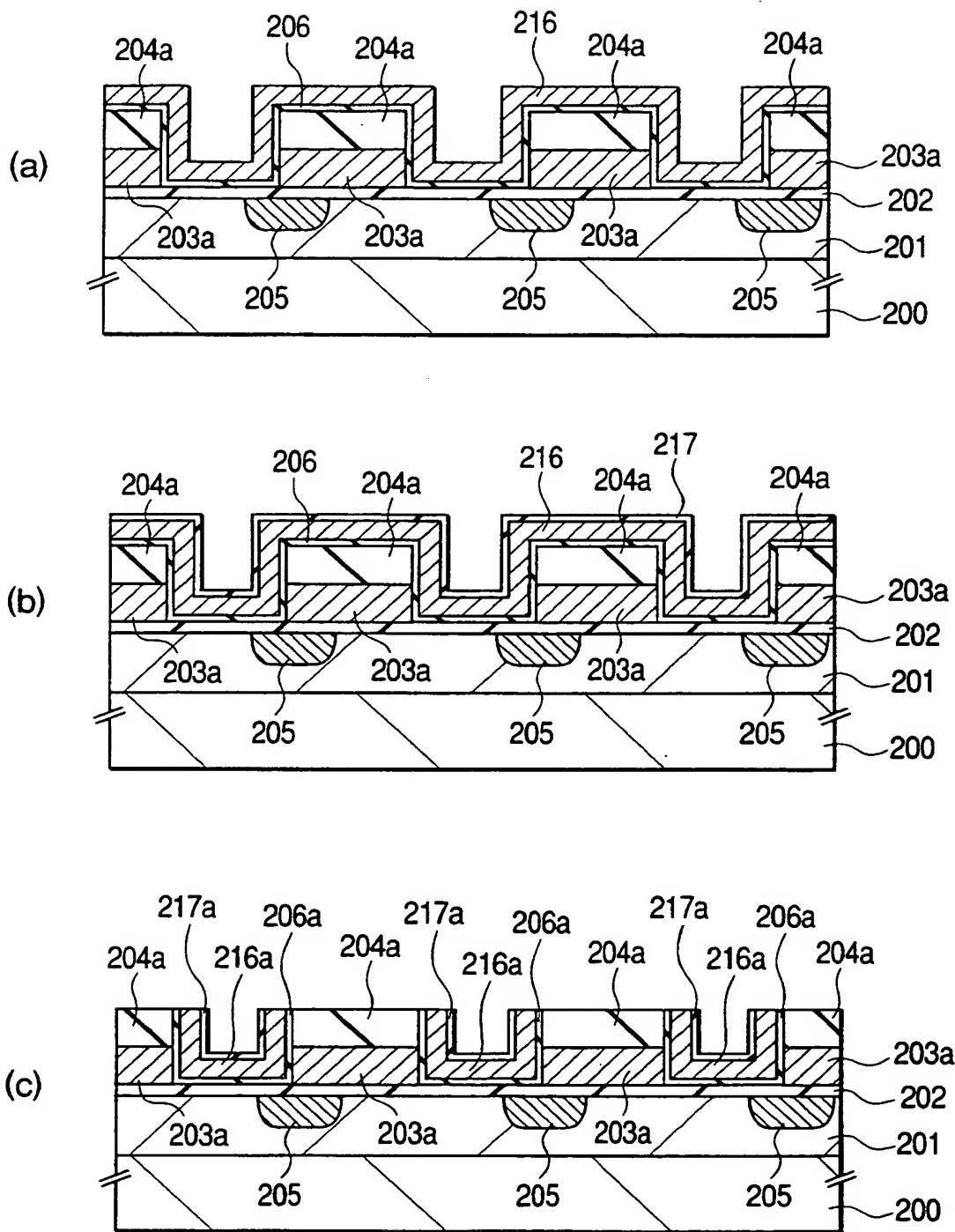


図 12



☒ 13

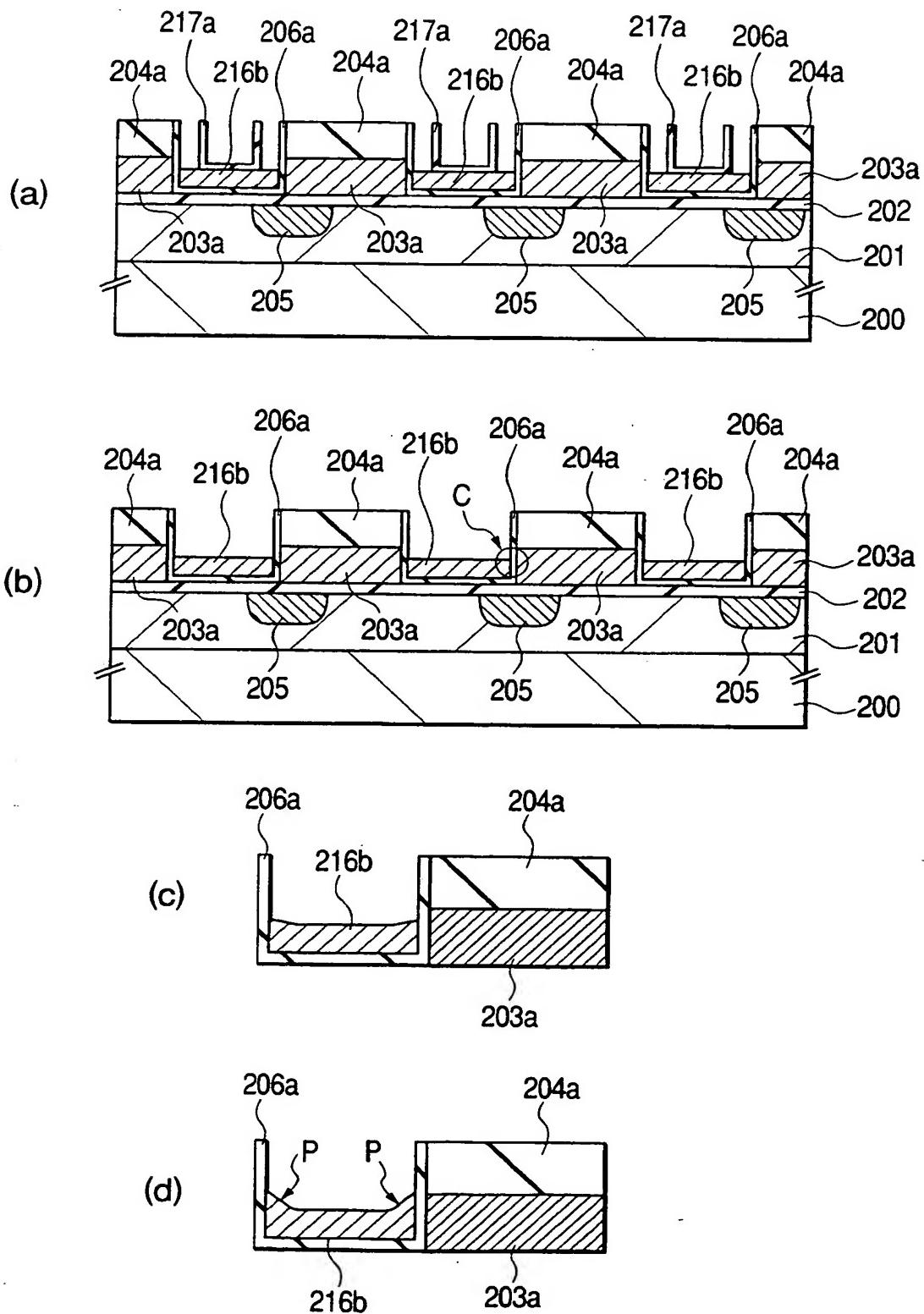


図 14

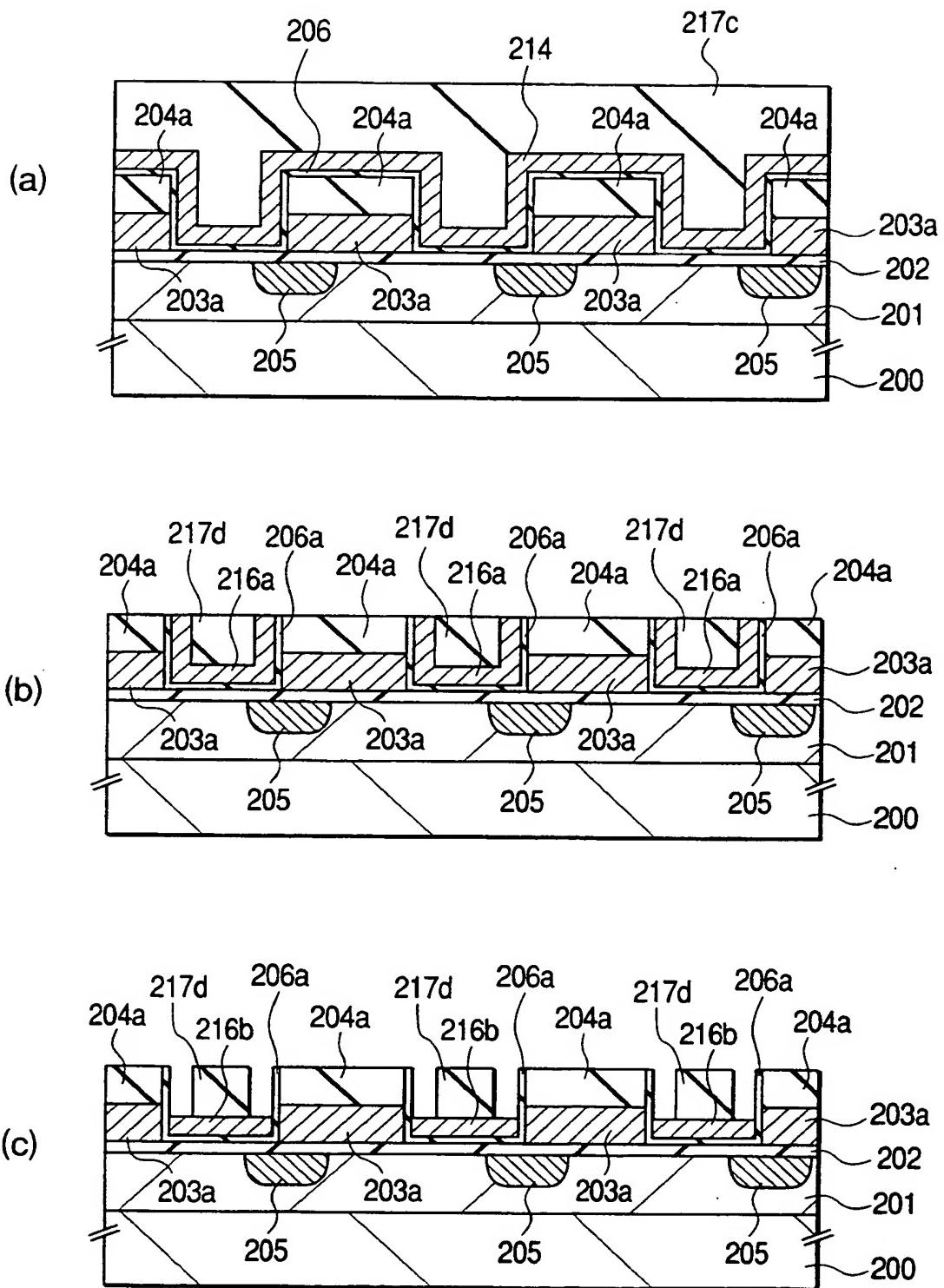


図 15

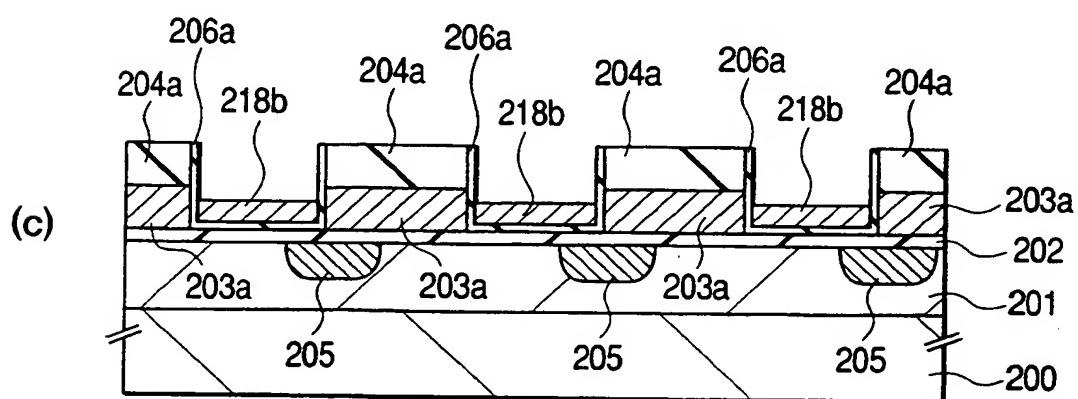
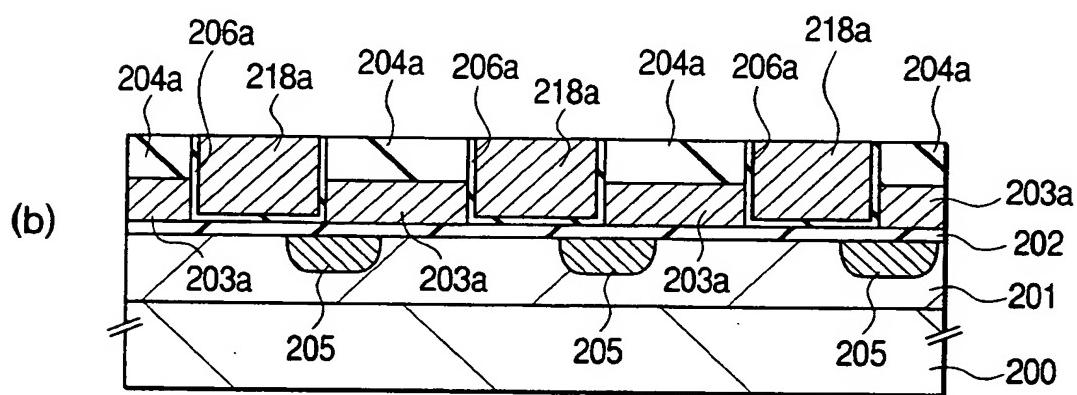
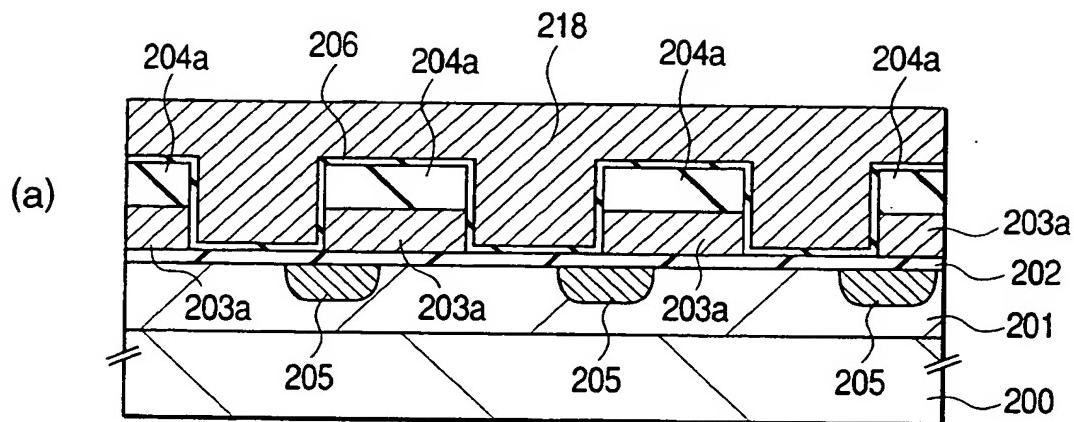


図 16

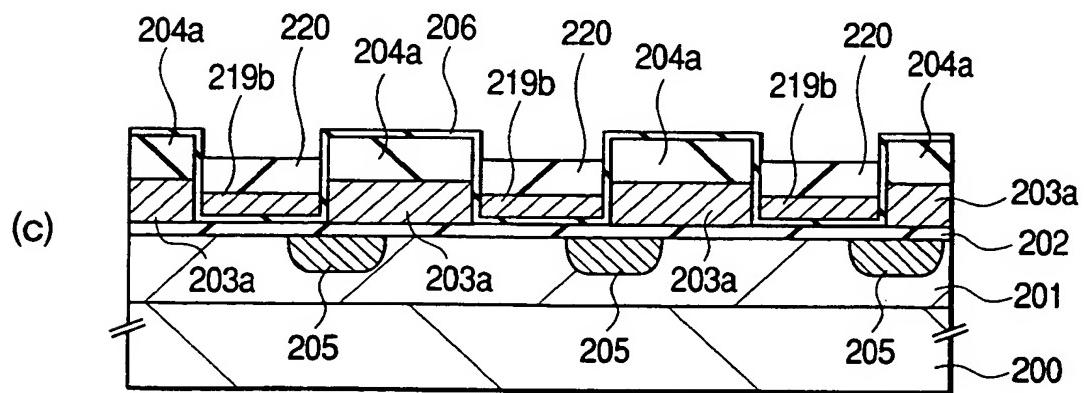
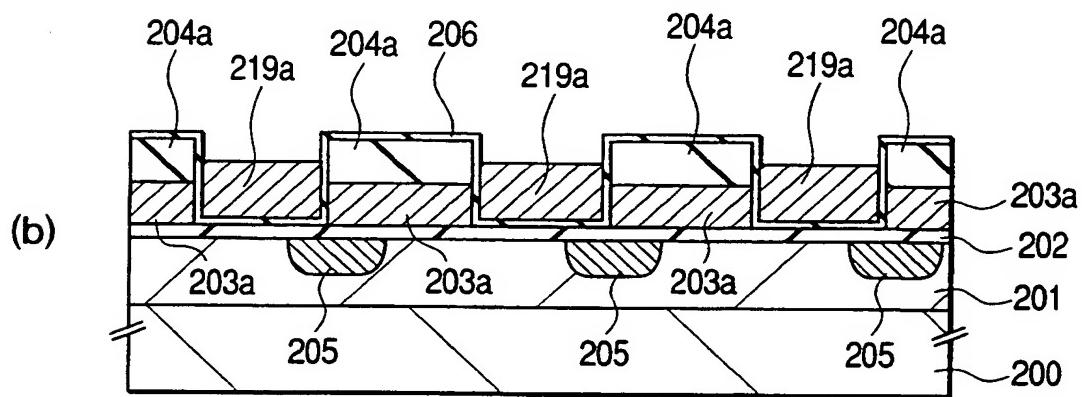
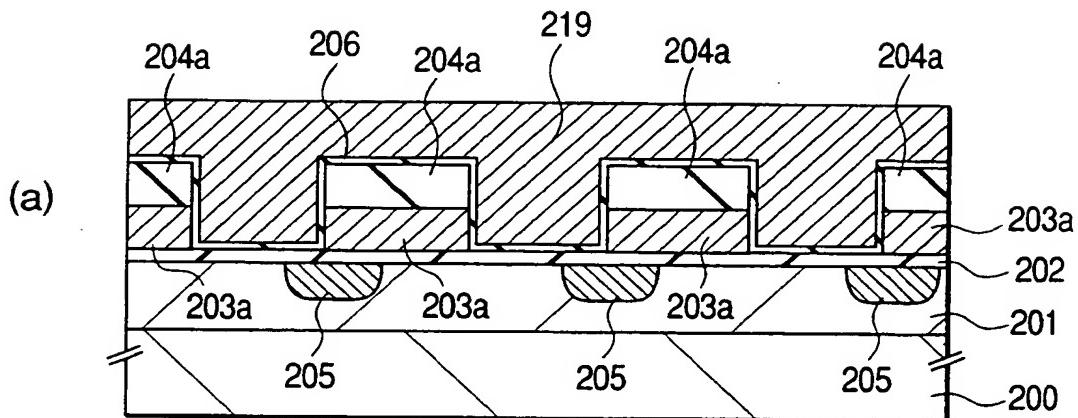


図 17

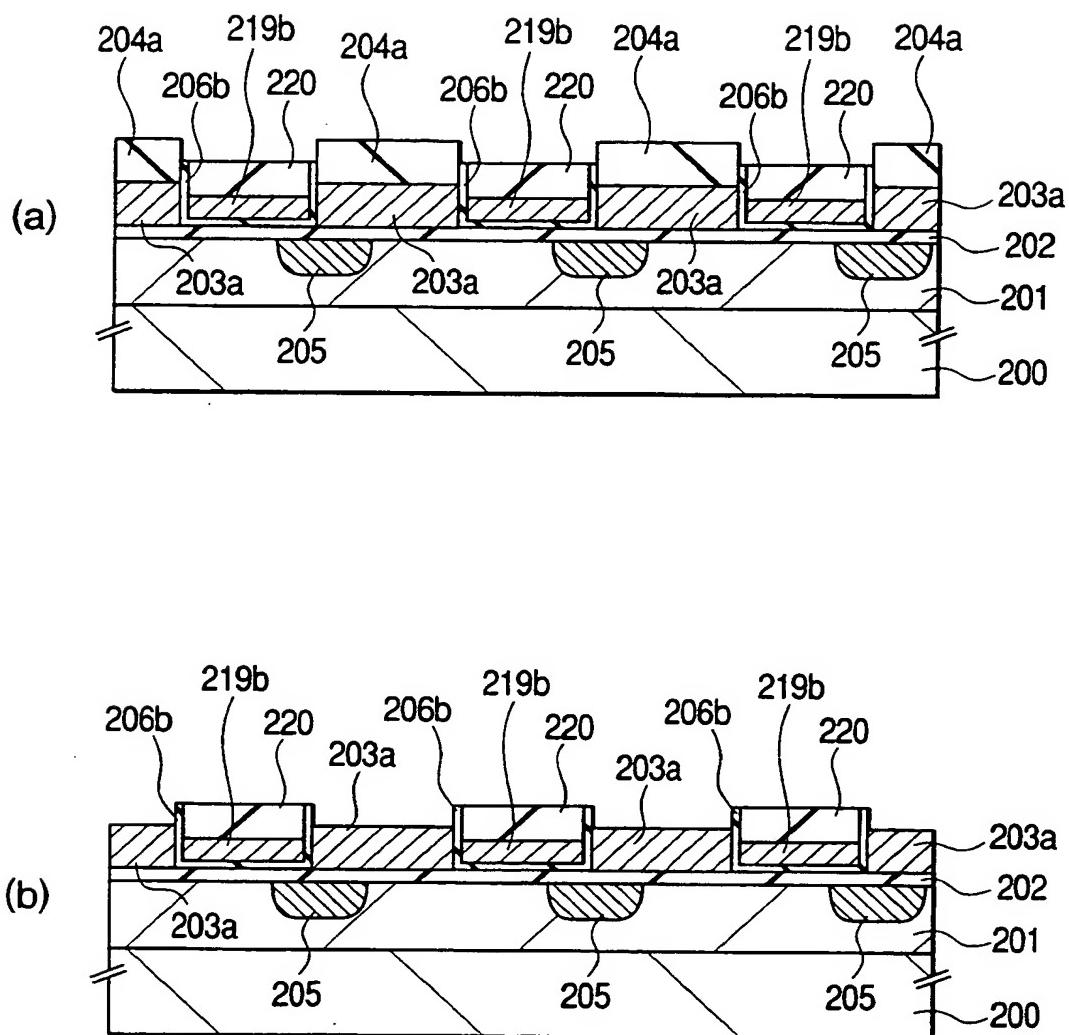
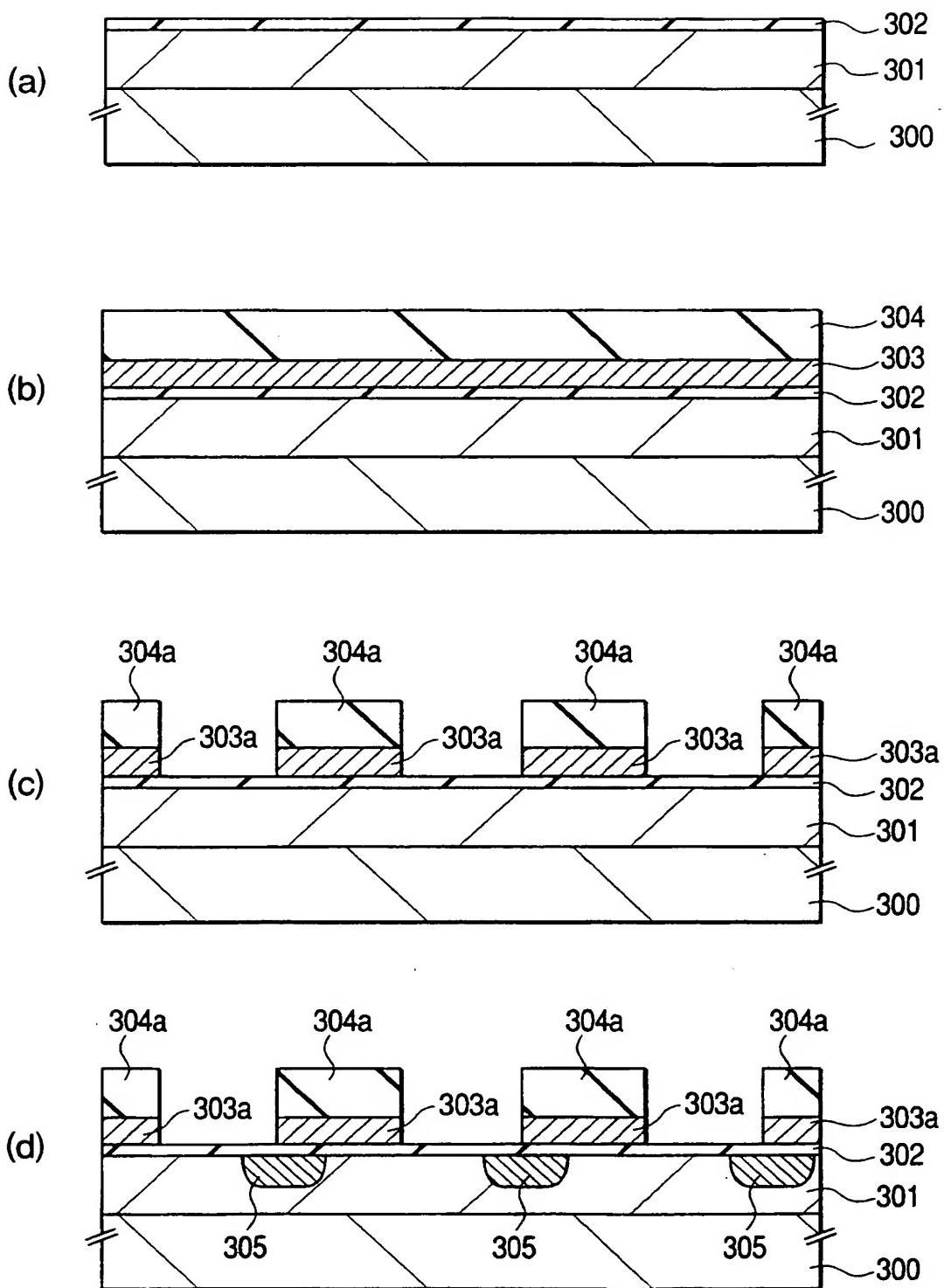


図 18



☒ 19

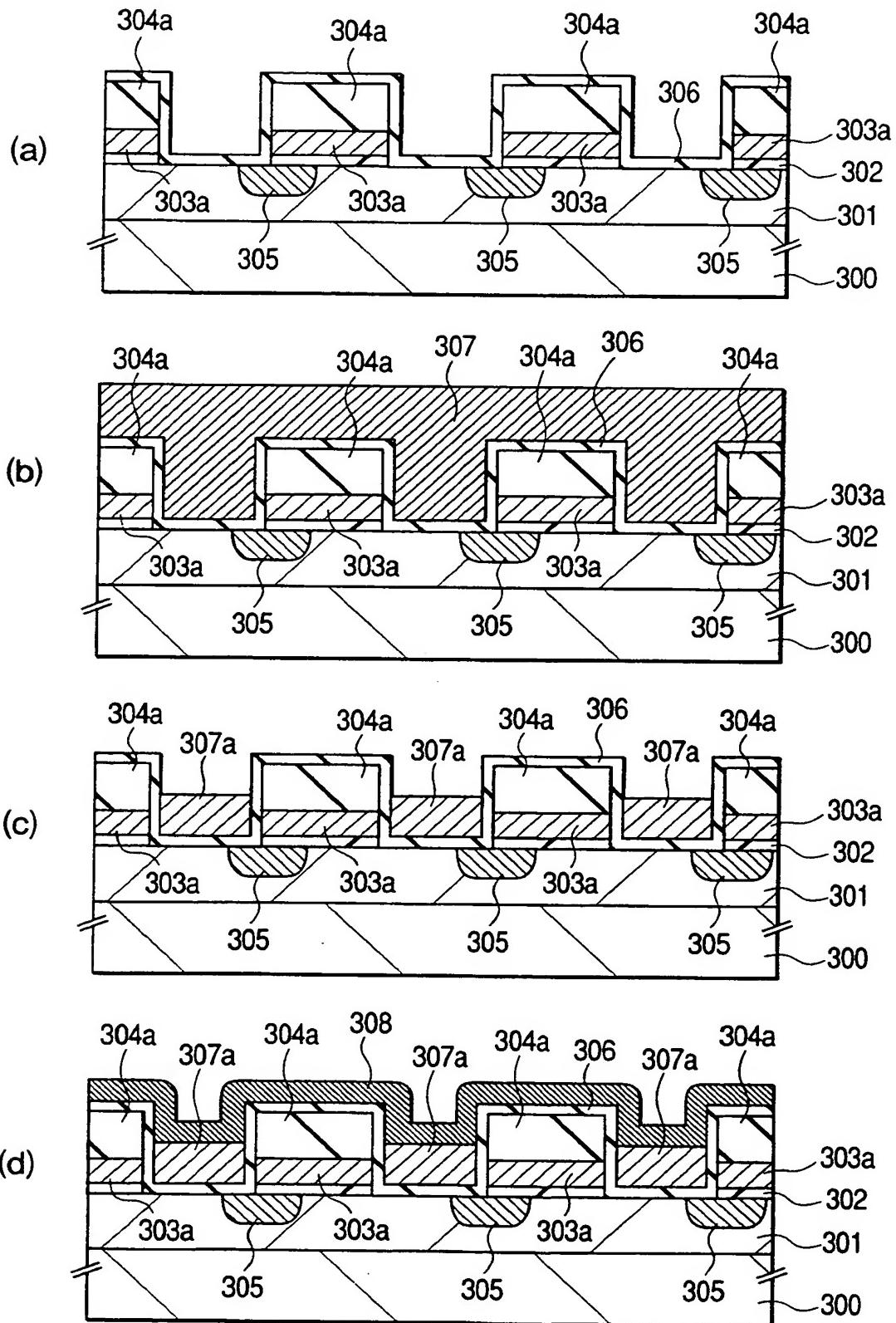
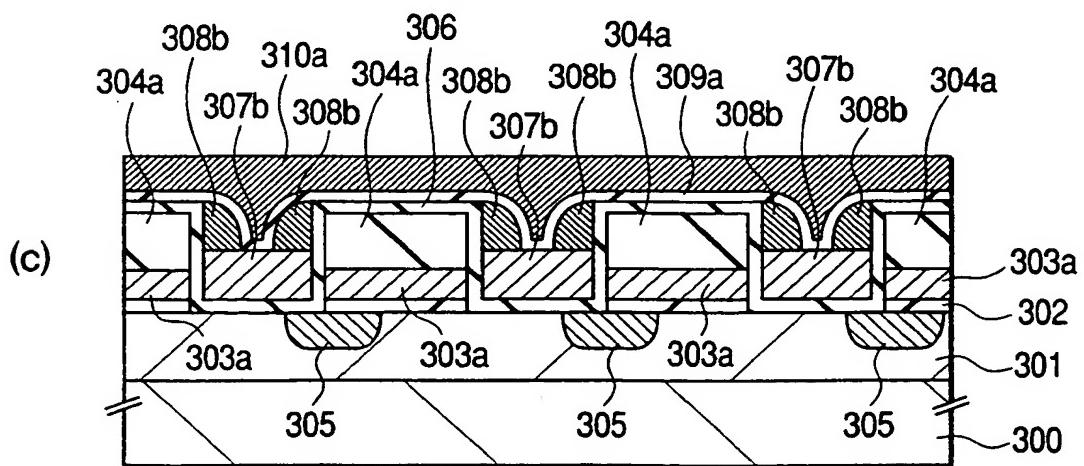
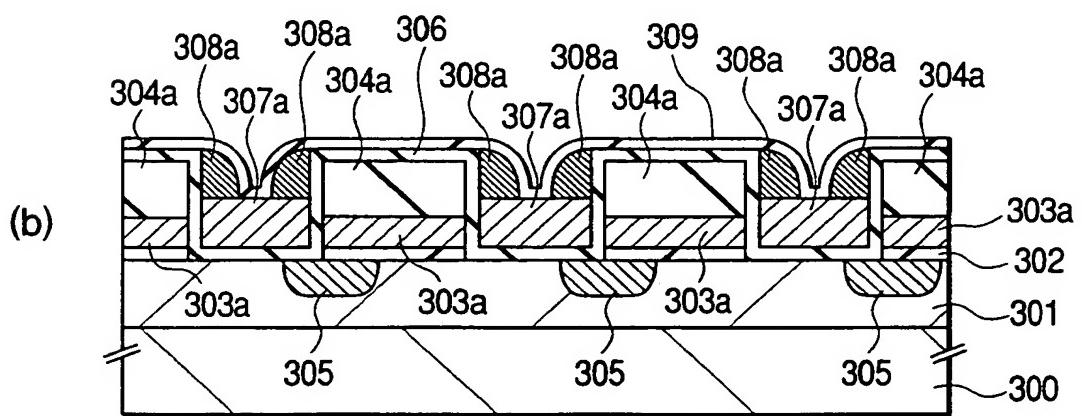
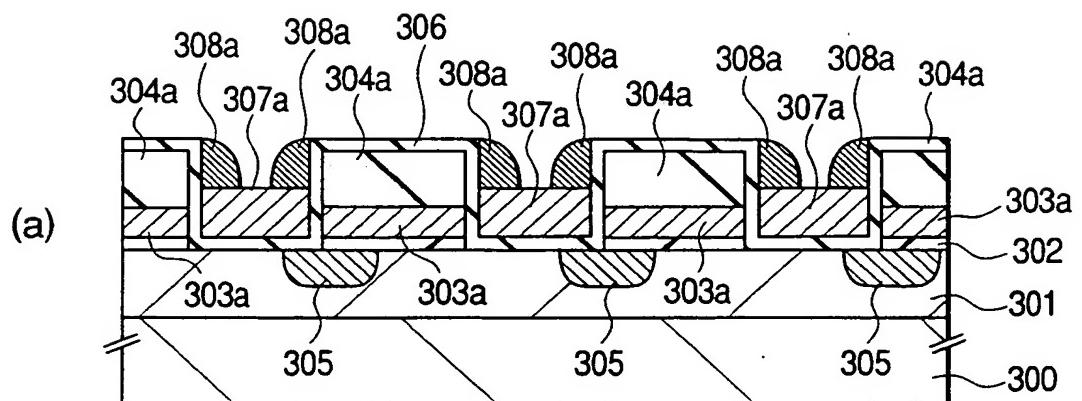


図 20



☒ 21

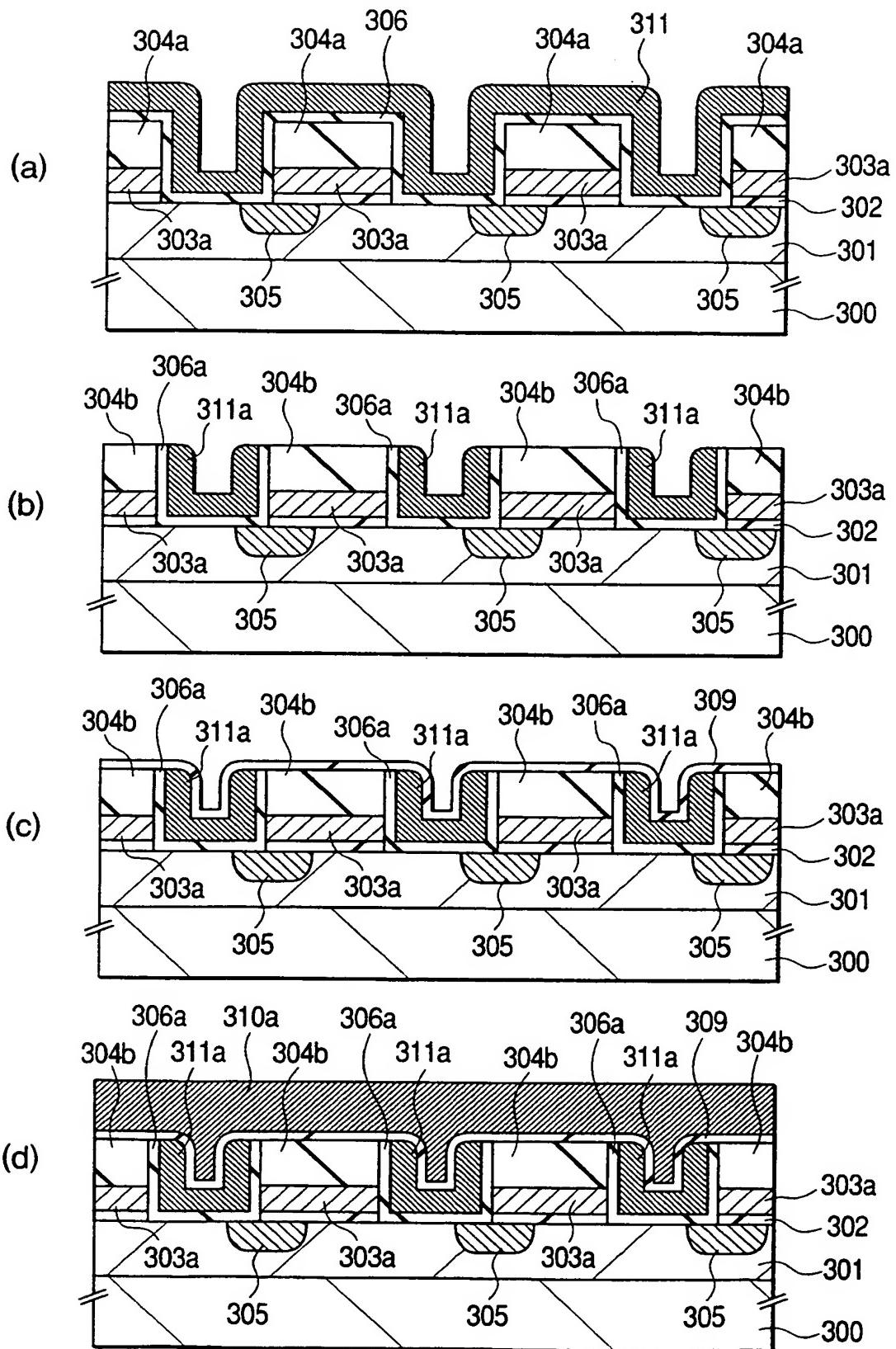


図 22

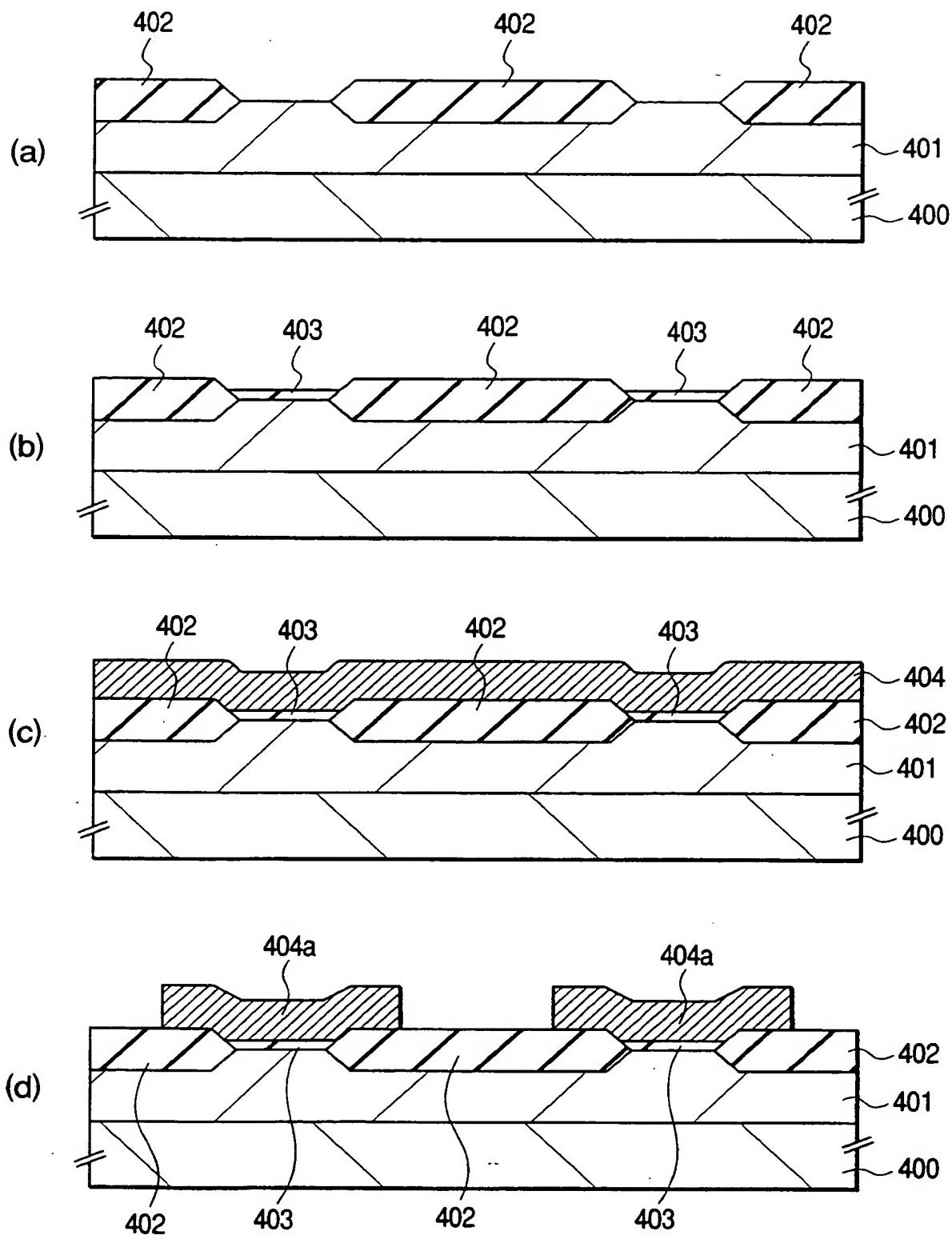
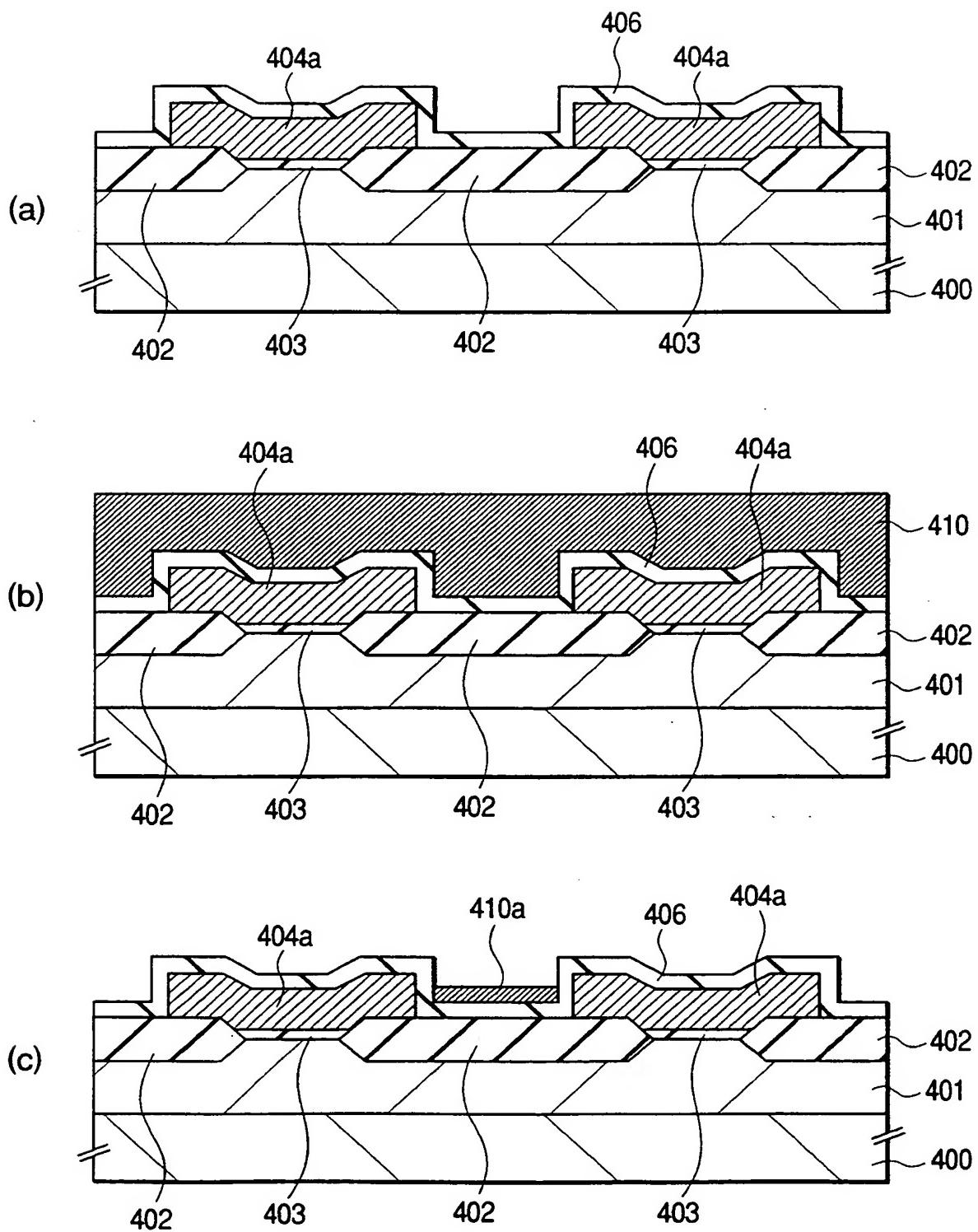
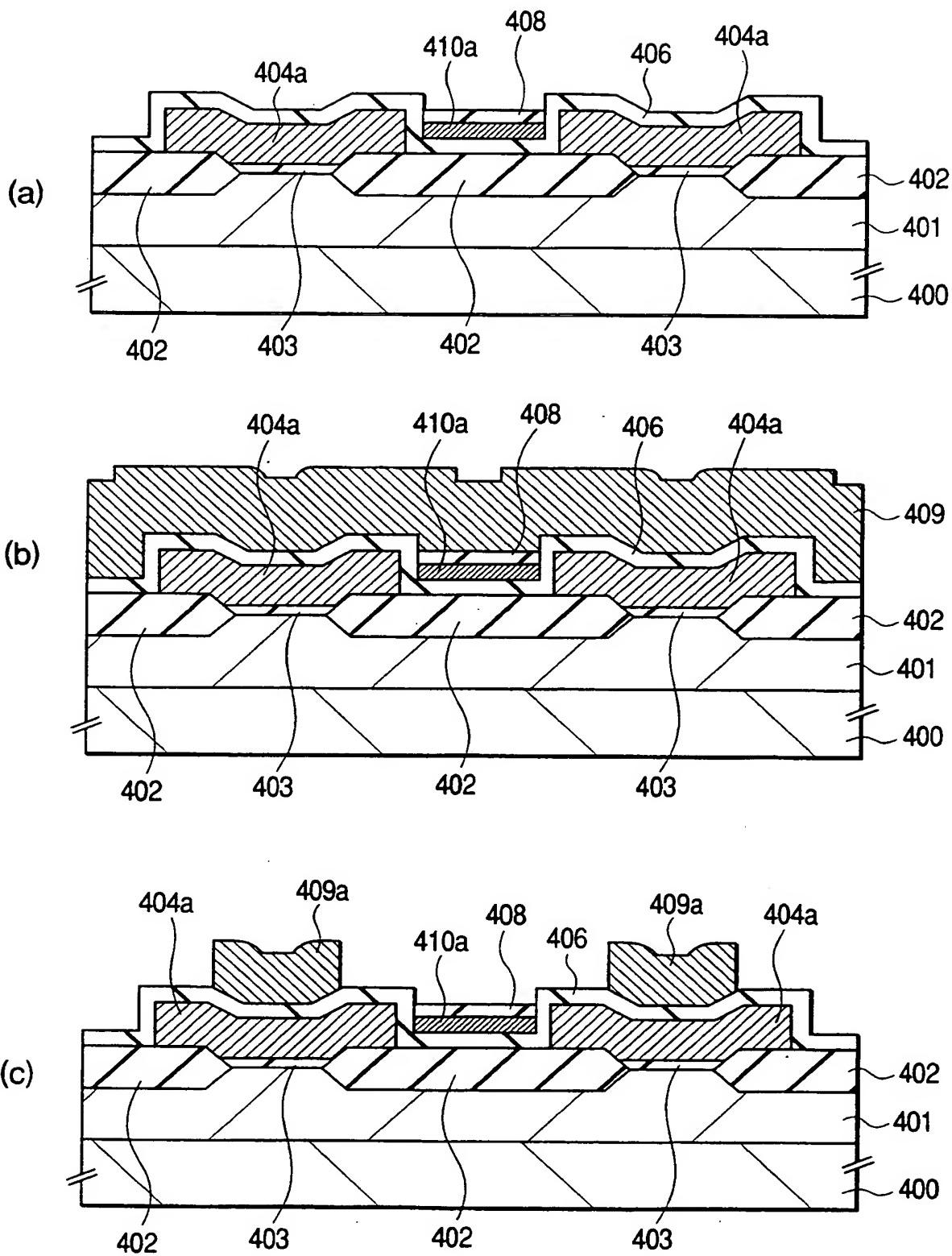


図 23



24



E P . U S

P C T

特許協力条約

国際調査報告

(法8条、法施行規則第40、41条)
[PCT18条、PCT規則43、44]

出願人又は代理人 の書類記号 E 5 3 7 6 - 0 0	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。	
国際出願番号 PCT/JP00/06146	国際出願日 (日.月.年) 08.09.00	優先日 (日.月.年) 10.09.99
出願人(氏名又は名称) 株式会社日立製作所		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

- a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。
 - この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。
- b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。
 - この国際出願に含まれる書面による配列表
 - この国際出願と共に提出されたフレキシブルディスクによる配列表
 - 出願後に、この国際調査機関に提出された書面による配列表
 - 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表
 - 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。
 - 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. 請求の範囲の一部の調査ができない(第I欄参照)。

3. 発明の單一性が欠如している(第II欄参照)。

4. 発明の名称は 出願人が提出したものと承認する。

次に示すように国際調査機関が作成した。

5. 要約は 出願人が提出したものと承認する。

第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1ヶ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、
第2(a)-(c)図とする。 出願人が示したとおりである. なし

出願人は図を示さなかった。

本図は発明の特徴を一層よく表している。

A. 発明の属する分野の分類（国際特許分類（IPC））

Int. C17 H01L21/8247, H01L29/788, H01L29/792,
H01L27/115

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int. C17 H01L21/8247, H01L29/788, H01L29/792,
H01L27/115

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2000年
日本国登録実用新案公報	1994-2000年
日本国実用新案登録公報	1996-2000年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリーエ	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	US, 5780341, A (Halo LSI Design & Device Technology, Inc) 14. 7月. 1998 (14. 07. 98) 第17欄第42行-第18欄第42行 & EP, 847091, A	1-13
A	JP, 11-220044, A (小椋 正気) 10. 8月. 1999 (10. 08. 99) 第28欄第49行-第30欄第24行 (ファミリー無し)	1-13

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリ

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

04.12.00

国際調査報告の発送日

12.12.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

今井 拓也

印 4M 9169

電話番号 03-3581-1101 内線 3462

C(続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 63-25979, A (株式会社日立製作所) 3. 2月. 1988 (03. 02. 88) 第3頁左上欄第4行—第3頁右下欄第11行 (ファミリー無し)	1-13
A	JP, 9-116119, A (ソニー株式会社) 2. 5月. 1997 (02. 05. 97) 要約、第4欄第41行—第6欄第24行 (ファミリー無し)	1-13
A	JP, 7-130884, A (沖電気工業株式会社) 19. 5月. 1995 (19. 05. 95) 要約、第12欄第24行—第13欄第40行 (ファミリー無し)	1-13

PATENT COOPERATION TREATY

PCT

NOTICE INFORMING THE APPLICANT OF THE COMMUNICATION OF THE INTERNATIONAL APPLICATION TO THE DESIGNATED OFFICES

小松

(PCT Rule 47.1(c), first sentence)

Date of mailing (day/month/year) 22 March 2001 (22.03.01)		To: ASAMURA, Kiyoshi New Otemachi Building Room 331 2-1, Otemachi 2-chome Chiyoda-ku Tokyo 100-0004 JAPON <i>3/2</i>	
Applicant's or agent's file reference E5376-00		RECEIVED A.M. - 2, 2001 134-3 JAPAN TOKYO B	
International application No. PCT/JP00/06146	International filing date (day/month/year) 08 September 2000 (08.09.00)	Priority date (day/month/year) 10 September 1999 (10.09.99)	
Applicant HITACHI, LTD. et al			

1. Notice is hereby given that the International Bureau has communicated, as provided in Article 20, the international application to the following designated Offices on the date indicated above as the date of mailing of this Notice:

KR,US

In accordance with Rule 47.1(c), third sentence, those Offices will accept the present Notice as conclusive evidence that the communication of the international application has duly taken place on the date of mailing indicated above and no copy of the international application is required to be furnished by the applicant to the designated Office(s).

2. The following designated Offices have waived the requirement for such a communication at this time:

CN,EP

The communication will be made to those Offices only upon their request. Furthermore, those Offices do not require the applicant to furnish a copy of the international application (Rule 49.1(a-bis)).

3. Enclosed with this Notice is a copy of the international application as published by the International Bureau on 22 March 2001 (22.03.01) under No. WO 01/20667

REMINDER REGARDING CHAPTER II (Article 31(2)(a) and Rule 54.2)

If the applicant wishes to postpone entry into the national phase until 30 months (or later in some Offices) from the priority date, a demand for international preliminary examination must be filed with the competent International Preliminary Examining Authority before the expiration of 19 months from the priority date.

It is the applicant's sole responsibility to monitor the 19-month time limit.

Note that only an applicant who is a national or resident of a PCT Contracting State which is bound by Chapter II has the right to file a demand for international preliminary examination.

REMINDER REGARDING ENTRY INTO THE NATIONAL PHASE (Article 22 or 39(1))

If the applicant wishes to proceed with the international application in the national phase, he must, within 20 months or 30 months, or later in some Offices, perform the acts referred to therein before each designated or elected Office.

For further important information on the time limits and acts to be performed for entering the national phase, see the Annex to Form PCT/IB/308 (Notification of Receipt of Record Copy) and Volume II of the PCT Applicant's Guide.

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No. (41-22) 740.14.35	Authorized officer J. Zahra Telephone No. (41-22) 338.83.38
--	---

PATENT COOPERATION TREATY

PCT

NOTIFICATION OF ELECTION
(PCT Rule 61.2)

Date of mailing: 22 March 2001 (22.03.01)	To: Commissioner US Department of Commerce United States Patent and Trademark Office, PCT 2011 South Clark Place Room CP2/5C24 Arlington, VA 22202 ETATS-UNIS D'AMERIQUE in its capacity as elected Office
International application No.: PCT/JP00/06146	Applicant's or agent's file reference: E5376-00
International filing date: 08 September 2000 (08.09.00)	Priority date: 10 September 1999 (10.09.99)
Applicant: KOBAYASHI, Takashi et al	

1. The designated Office is hereby notified of its election made:

in the demand filed with the International preliminary Examining Authority on:

22 September 2000 (22.09.00)

in a notice effecting later election filed with the International Bureau on:

2. The election was

was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No.: (41-22) 740.14.35	Authorized officer: J. Zahra Telephone No.: (41-22) 338.83.38
---	---

特許協力条約

PCT

国際予備審査報告

(法第12条、法施行規則第56条)
[PCT36条及びPCT規則70]

REC'D 31 AUG 2001

WIPO PCT

出願人又は代理人 の書類記号 E 5 3 7 6 - 0 0	今後の手続きについては、国際予備審査報告の送付通知（様式PCT/IPEA/416）を参照すること。	
国際出願番号 PCT/JPOO/06146	国際出願日 (日.月.年) 08.09.00	優先日 (日.月.年) 10.09.99
国際特許分類 (IPC) Int. Cl' H01L21/8247, H01L29/788, H01L29/792, H01L27/115		
出願人（氏名又は名称） 株式会社日立製作所		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条（PCT36条）の規定に従い送付する。

2. この国際予備審査報告は、この表紙を含めて全部で 4 ページからなる。

この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び／又はこの国際予備審査機関に対して訂正を含む明細書、請求の範囲及び／又は図面も添付されている。
(PCT規則70.16及びPCT実施細則第607号参照)
この附属書類は、全部で 6 ページである。

3. この国際予備審査報告は、次の内容を含む。

- I 国際予備審査報告の基礎
- II 優先権
- III 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
- IV 発明の単一性の欠如
- V PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- VI ある種の引用文献
- VII 国際出願の不備
- VIII 国際出願に対する意見

国際予備審査の請求書を受理した日 22.09.00	国際予備審査報告を作成した日 21.08.01
名称及びあて先 日本国特許庁 (IPEA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 今井 拓也 電話番号 03-3581-1101 内線 3462
	4M 9169

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。（法第6条（PCT14条）の規定に基づく命令に応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。PCT規則70.16, 70.17）

出願時の国際出願書類

明細書 第 1-31 ページ、
明細書 第 _____ ページ、
明細書 第 _____ ページ、
出願時に提出されたもの
国際予備審査の請求書と共に提出されたもの
付の書簡と共に提出されたもの

請求の範囲 第 1-13 項、
請求の範囲 第 14-39 項、
請求の範囲 第 _____ 項、
請求の範囲 第 _____ 項、
出願時に提出されたもの
PCT19条の規定に基づき補正されたもの
国際予備審査の請求書と共に提出されたもの
付の書簡と共に提出されたもの

図面 第 1-23 ページ/図、
図面 第 _____ ページ/図、
図面 第 _____ ページ/図、
出願時に提出されたもの
国際予備審査の請求書と共に提出されたもの
付の書簡と共に提出されたもの

明細書の配列表の部分 第 _____ ページ、
明細書の配列表の部分 第 _____ ページ、
明細書の配列表の部分 第 _____ ページ、
出願時に提出されたもの
国際予備審査の請求書と共に提出されたもの
付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
 PCT規則48.3(b)にいう国際公開の言語
 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- この国際出願に含まれる書面による配列表
 この国際出願と共に提出されたフレキシブルディスクによる配列表
 出願後に、この国際予備審査（または調査）機関に提出された書面による配列表
 出願後に、この国際予備審査（または調査）機関に提出されたフレキシブルディスクによる配列表
 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

4. 振正により、下記の書類が削除された。

明細書 第 _____ ページ
 請求の範囲 第 _____ 項
 図面 図面の第 _____ ページ/図

5. この国際予備審査報告は、補充欄に示したように、振正が出願時における開示の範囲を越えてされたものと認められるので、その振正がされなかったものとして作成した。（PCT規則70.2(c) この振正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。）

III. 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成

1. 次に関して、当該請求の範囲に記載されている発明の新規性、進歩性又は産業上の利用可能性につき、次の理由により審査しない。

- 国際出願全体
 請求の範囲 14-39

理由：

- この国際出願又は請求の範囲 _____ は、国際予備審査をすることを要しない次の事項を内容としている（具体的に記載すること）。
- 明細書、請求の範囲若しくは図面（次に示す部分）又は請求の範囲 _____ の記載が、不明確であるため、見解を示すことができない（具体的に記載すること）。
- 全部の請求の範囲又は請求の範囲 _____ が、明細書による十分な裏付けを欠くため、見解を示すことができない。
- 請求の範囲 14-39 について、国際調査報告が作成されていない。
2. ヌクレオチド又はアミノ酸の配列表が実施細則の附属書C（塩基配列又はアミノ酸配列を含む明細書等の作成のためのガイドライン）に定める基準を満たしていないので、有効な国際予備審査をすることができない。
- 書面による配列表が提出されていない又は所定の基準を満たしていない。
 フレキシブルディスクによる配列表が提出されていない又は所定の基準を満たしていない。

V. 新規性、進歩性又は産業上の利用可能性についての法第12条（PCT35条(2)）に定める見解、それを裏付ける文献及び説明

1. 見解

新規性 (N)

請求の範囲 1-13

有

請求の範囲

無

進歩性 (I S)

請求の範囲 1-13

有

請求の範囲

無

産業上の利用可能性 (I A)

請求の範囲 1-13

有

請求の範囲

無

2. 文献及び説明 (PCT規則70.7)

請求の範囲 1-13

文献1 : J P, 7-130884, A (沖電気工業株式会社)
 19.5月. 1995 (19.05.95),
 要約、第12欄第24行—第13欄第40行

文献2 : U S, 5541130, A,
 (International Business Machines Corporation), 30 July 1996
 see column 4, line 39 - column 6, line 20
 & J P, 8-340095, A, 第8欄第36行—第11欄第1行
 & U S, 5654917, A & U S, 5672892, A
 & U S, 5681770, A

は、当該技術分野における一般的技術水準を示す文献であって、文献1には、Si単結晶基板の正面に形成されたソース領域、ドレイン領域と、Si単結晶基板の正面に絶縁酸化膜を介して形成された第1ゲートと、第1ゲート上に絶縁膜を介して形成された第2ゲートと、第1ゲートと絶縁膜を介して形成された第3ゲートを有している不揮発性メモリが記載されている。文献2には、

Si単結晶基板の正面に形成された高濃度領域、半導体基板の正面に絶縁酸化膜を介して形成された第1のポリシリコン層と、第1のポリシリコン層に絶縁膜を介して形成された第2のポリシリコン層と、第1のポリシリコン層と絶縁膜を介して形成された第3のポリシリコン層を有している半導体構造が記載されている。

しかし、第3ゲート表面の標高が、第1ゲート表面の標高よりも低い不揮発性メモリ、及び当該構造を有する不揮発性メモリを製造する方法は、国際調査報告で列記した文献、および見解書で新たに引用した文献2のいずれにも、記載も示唆もされていない。

11. 半導体基板の上面に形成された第1導電型のウェルと、前記ウェル内に形成された第2導電型の半導体領域と、前記半導体基板上に第1絶縁膜を介して形成された第1ゲートと、前記第1ゲート上に第2絶縁膜を介して形成された第2ゲートと、前記第1ゲートと第3絶縁膜を介して形成された第3ゲートとを有し、
- 5 前記第3ゲートが前記第1ゲートの隙間に埋め込んで形成されている半導体集積回路装置であって、
 前記第3ゲート表面の標高が、前記第1ゲート表面の標高よりも低いことを特徴とする半導体集積回路装置。
12. 請求項1-1記載の半導体集積回路装置であって、
- 10 前記第3ゲートが消去ゲートである第1の構成、
 前記第3ゲートがスプリットチャネルを制御するゲートである第2の構成、
 前記第3ゲートが消去ゲートとスプリットチャネルを制御するゲートの両方の機能を有する第3の構成、
 の何れかの構成を有することを特徴とする半導体集積回路装置。
- 15 13. 請求項1-1または1-2記載の半導体集積回路装置であって、
 前記第3絶縁膜が、窒素を添加したシリコン酸化膜であることを特徴とする半導体集積回路装置。
14. (追加) 半導体基板中に第1導電型のウェルを形成する工程と、前記半導体基板上に第1絶縁膜を介して浮遊ゲートとなる第1パターンを形成する工程と、
 20 前記ウェル中にソース・ドレインとなる第2導電型の半導体領域を形成する工程と、少なくとも前記各第1パターンの側面及び前記各第1パターン間の前記半導体基板表面を覆う第2絶縁膜を形成する工程と、第3ゲートの材料膜を堆積した後に前記各第1パターン上方の前記材料膜を除去することにより、前記第1パターンによって形成される各隙間に、その各側面が両側の第1パターンの側面と前記第2絶縁膜を介して対向し、且つ、その底面が前記半導体基板表面と前記第2の絶縁膜を介して対向する、第3ゲートを形成する工程と、前記浮遊ゲートおよび第3ゲートの上層に制御ゲートを形成する工程と、を有する半導体集積回路装置の製造方法。
- 25 15. (追加) 請求項1-4記載の半導体集積回路装置の製造方法であって、

補正された用紙 (条約第19条)

前記第3ゲートの側面の上端を、前記第3ゲートの側面と対向する前記浮遊ゲートとなる第1パターンの側面の上端より低く形成することを特徴とする半導体集積回路装置の製造方法。

16. (追加) 請求項15記載の半導体集積回路装置の製造方法であって、
5 前記第3ゲートは、前記隙間を完全に埋め込む多結晶シリコン膜を形成した後、前記多結晶シリコン膜にドライエッチングを施す方法により形成されることを特徴とする半導体集積回路装置の製造方法。
17. (追加) 請求項15記載の半導体集積回路装置の製造方法であって、
前記第3ゲートは、前記隙間を完全に埋め込む多結晶シリコン膜を形成した後、
10 前記多結晶シリコン膜に化学的機械研磨法による研磨を施し、その後ドライエッチングを施す方法により形成されることを特徴とする半導体集積回路装置の製造方法。
18. (追加) 請求項15記載の半導体集積回路装置の製造方法であって、
前記第3ゲートは、前記隙間を完全に埋め込む多結晶シリコン膜を形成した後、
15 前記多結晶シリコン膜に化学的機械研磨法による研磨を施し、その後前記多結晶シリコン膜の表面部を酸化し、前記酸化された部分を選択的に除去する方法により形成されることを特徴とする半導体集積回路装置の製造方法。
19. (追加) 請求項15記載の半導体集積回路装置の製造方法であって、
前記第3ゲートは、前記隙間を完全に埋め込まないように多結晶シリコン膜を
20 形成した後、前記隙間を埋め込むフォトトレジスト膜を形成し、前記フォトトレジスト膜および多結晶シリコン膜にドライエッチングを施す方法により形成されることを特徴とする半導体集積回路装置の製造方法。
20. (追加) 請求項15記載の半導体集積回路装置の製造方法であって、
前記第3ゲートは、前記隙間を完全に埋め込まないように多結晶シリコン膜を
25 形成した後、前記多結晶シリコン膜に化学的機械研磨法による研磨を施し、前記隙間を埋め込むフォトトレジスト膜を形成し、前記フォトトレジスト膜および多結晶シリコン膜にドライエッチングを施す方法により形成されることを特徴とする半導体集積回路装置の製造方法。
21. (追加) 請求項15記載の半導体集積回路装置の製造方法であって、

補正された用紙（条約第19条）

前記第3ゲートは、前記隙間を完全に埋め込まないように多結晶シリコン膜を形成した後、前記隙間を埋め込むシリコン酸化膜を堆積し、前記シリコン酸化膜および多結晶シリコン膜に化学的機械研磨法による研磨を施し、前記隙間のシリコン酸化膜を選択的に除去し、前記隙間を埋め込むフォトレジスト膜を形成し、

- 5 前記フォトレジスト膜および多結晶シリコン膜にドライエッチングを施す方法により形成されることを特徴とする半導体集積回路装置の製造方法。

22. (追加) 請求項19～21の何れか一項に記載の半導体集積回路装置の製造方法であって、

- 前記フォトレジスト膜および多結晶シリコン膜のドライエッチングは、前記フォトレジスト膜および多結晶シリコン膜がほぼ等しいエッチング速度でエッチングされることを特徴とする半導体集積回路装置の製造方法。

23. (追加) 請求項15記載の半導体集積回路装置の製造方法であって、

- 前記第3ゲートは、前記隙間を完全に埋め込まないように多結晶シリコン膜を形成した後、前記多結晶シリコン膜上にシリコン酸化膜を形成し、前記シリコン酸化膜および多結晶シリコン膜に化学的機械研磨法による研磨を施し、前記多結晶シリコン膜にドライエッチングを施し、前記シリコン酸化膜を除去する方法により形成されることを特徴とする半導体集積回路装置の製造方法。

24. (追加) 請求項19～23の何れか一項に記載の半導体集積回路装置の製造方法であって、

- 20 前記多結晶シリコン膜の膜厚は、前記浮遊ゲートとなる第1パターンの膜厚よりも薄いことを特徴とする半導体集積回路装置の製造方法。

25. (追加) 半導体基板中に第1導電型のウェルを形成する工程と、前記半導体基板上に第2絶縁膜を介して複数の第3ゲートを形成する工程と、前記ウェル中にソース・ドレインとなる第2導電型の半導体領域を形成する工程と、少なくとも前記各第3ゲートの側面及び前記各第3ゲート間の前記半導体基板表面を覆う第1絶縁膜を形成する工程と、浮遊ゲートの材料膜を堆積した後に前記各第3ゲート上方の前記材料膜を除去することにより、前記第3ゲートによって形成される各隙間に、その各側面が両側の第3ゲートの側面と前記第1絶縁膜を介して対向し、且つ、その底面が前記半導体基板表面と前記第1絶縁膜を介して対向す

補正された用紙（条約第19条）

る、浮遊ゲートとなる第1パターンを形成する工程と、前記浮遊ゲートおよび第3ゲートの上層に制御ゲートを形成する工程と、を有する半導体集積回路装置の製造方法。

26. (追加) 請求項25記載の半導体集積回路装置の製造方法であって、
5 前記第3ゲートの側面の上端を、前記第3ゲートの側面と対向する前記浮遊ゲートとなる第1パターンの側面の上端より低く形成することを特徴とする半導体集積回路装置の製造方法。
27. (追加) 請求項26記載の半導体集積回路装置の製造方法であって、
前記第1パターンは、前記隙間を完全に埋め込む多結晶シリコン膜を形成した
10 後、前記多結晶シリコン膜にドライエッチングを施す方法により形成されることを特徴とする半導体集積回路装置の製造方法。
28. (追加) 請求項26記載の半導体集積回路装置の製造方法であって、
前記第1パターンは、前記隙間を完全に埋め込む多結晶シリコン膜を形成した
後、前記多結晶シリコン膜に化学的機械研磨法による研磨を施し、その後ドライ
15 エッティングを施す方法により形成されることを特徴とする半導体集積回路装置の製造方法。
29. (追加) 請求項26記載の半導体集積回路装置の製造方法であって、
前記第1パターンは、前記隙間を完全に埋め込まないように多結晶シリコン膜を形成した後、前記多結晶シリコン膜に化学的機械研磨法による研磨を施す方法
20 により形成されることを特徴とする半導体集積回路装置の製造方法。
30. (追加) 請求項26記載の半導体集積回路装置の製造方法であって、
前記第1パターンは、前記隙間を完全に埋め込まないように多結晶シリコン膜を形成した後、前記隙間を埋め込むフォトトレジスト膜を形成し、前記フォトトレジ
25 スト膜および多結晶シリコン膜にドライエッティングを施す方法により形成されることを特徴とする半導体集積回路装置の製造方法。

31. (追加) 請求項26記載の半導体集積回路装置の製造方法であって、
前記第1パターンは、前記隙間を完全に埋め込まないように多結晶シリコン膜を形成した後、前記隙間を埋め込むシリコン酸化膜を堆積し、前記シリコン酸化膜および多結晶シリコン膜に化学的機械研磨法による研磨を施す方法により形成

されることを特徴とする半導体集積回路装置の製造方法。

32. (追加) 請求項 1 4 ~ 3 1 の何れか一項に記載の半導体集積回路装置の製造方法であって、

前記第 3 ゲートは、前記浮遊ゲートに対して自己整合的に形成されることを特
5 徴とする半導体集積回路装置の製造方法。

33. (追加) 請求項 1 4 ~ 3 1 の何れか一項に記載の半導体集積回路装置の製
造方法であって、

前記浮遊ゲートは、前記第 3 ゲートに対して自己整合的に形成されることを特
徴とする半導体集積回路装置の製造方法。

10 34. (追加) 半導体基板の主面に形成された第 1 導電型のウェルと、前記ウェ
ル内に形成された第 2 導電型の半導体領域と、前記半導体基板上に第 1 絶縁膜を
介して形成された第 1 ゲートと、前記第 1 ゲート上に第 2 絶縁膜を介して形成さ
れた第 2 ゲートと、前記第 1 ゲートと第 3 絶縁膜を介して形成された第 3 ゲート
とを有し、前記第 3 ゲートが、その各側面が両端の第 1 ゲートの側面と前記第 3
15 絶縁膜を挟んで対向するように各第 1 ゲートの隙間に埋め込んで形成され、前記
第 2 のゲートの延在方向と略直交する方向に延在している半導体集積回路装置。

35. (追加) 請求項 3 4 記載の半導体集積回路装置であって、

前記第 3 ゲートの側面の上端が、前記第 3 ゲートの側面と対向する前記第 1 ゲ
ートの側面の上端よりも低いことを特徴とする半導体集積回路装置。

20 36. (追加) 請求項 3 5 記載の半導体集積回路装置であって、

前記第 3 ゲートが消去ゲートであることを特徴とする半導体集積回路装置。

37. (追加) 請求項 3 5 記載の半導体集積回路装置であって、

前記第 3 ゲートがスプリットチャネルを制御するゲートであることを特徴とす
る半導体集積回路装置。

25 38. (追加) 請求項 3 5 記載の半導体集積回路装置であって、

前記第 3 ゲートが消去ゲートとスプリットチャネルを制御するゲートの両方の
機能を有することを特徴とする半導体集積回路装置。

39. (追加) 請求項 3 5 ~ 3 8 の何れか一項に記載の半導体集積回路装置であ
って、

前記第3絶縁膜が、窒素を添加したシリコン酸化膜であることを特徴とする半導体集積回路装置。

補正された用紙（条約第19条）

08/02 '01 JEU 03:48 [N° TX/RX 9302]

A. 発明の属する分野の分類(国際特許分類(IPC))

Int. Cl' H01L21/8247, H01L29/788, H01L29/792,
H01L27/115

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int. Cl' H01L21/8247, H01L29/788, H01L29/792,
H01L27/115

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2000年
日本国登録実用新案公報	1994-2000年
日本国実用新案登録公報	1996-2000年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	US, 5780341, A (Halo LSI Design & Device Technology, Inc) 14. 7月. 1998 (14. 07. 98) 第17欄第42行-第18欄第42行 & EP, 847091, A	1-13
A	JP, 11-220044, A (小椋 正気) 10. 8月. 1999 (10. 08. 99) 第28欄第49行-第30欄第24行 (ファミリー無し)	1-13

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日 04.12.00	国際調査報告の発送日 12.12.00
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員) 今井 拓也 印 電話番号 03-3581-1101 内線 3462

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/06146

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	(Family: none)	

C (続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
A	JP, 63-25979, A (株式会社日立製作所) 3. 2月. 1988 (03. 02. 88) 第3頁左上欄第4行—第3頁右下欄第11行 (ファミリー無し)	1-13
A	JP, 9-116119, A (ソニー株式会社) 2. 5月. 1997 (02. 05. 97) 要約、第4欄第41行—第6欄第24行 (ファミリー無し)	1-13
A	JP, 7-130884, A (沖電気工業株式会社) 19. 5月. 1995 (19. 05. 95) 要約、第12欄第24行—第13欄第40行 (ファミリー無し)	1-13

(TRANSLATION)

PATENT COOPERATION TREATY
PCT
INTERNATIONAL SEARCH REPORT
(PCT Article 18 and Rules 43 and 44)

Applicant's or agent's file reference E5376-00	FOR FURTHER ACTION	see Notification of Transmittal of International Search Report (Form PCT/ISA220) as well as, what applicable, item 5 below.
International application No. PCT/JP00/06146	International Filing date (day/month/year) 08.09.00	(Earliest) Priority Date (day/month/year) 10.09.99
<p>Applicant: HITACHI, LTD.</p>		

This international search report has been prepared by this International Searching Authority and is transmitted to the applicant according to Article 18. A copy is being transmitted to the International Bureau.

This international search report consists of a total of 3 sheets.

It is also accompanied by a copy of each prior art document cited in this report.

1. Basis of the report

- a. With regard to the language, the international search was carried out on the basis of the international application in the language in which it was filed, unless otherwise indicated under this item.
 - the international search was carried out on the basis of a translation of the international application furnished to this Authority (Rule 23.1(b)).
- b. With regard to any nucleotide and/or amino acid sequence disclosed in the international application, the international search was carried out on the basis of the sequence listing:
 - contained in the international application in written form.
 - filed together with the international application in computer readable form.
 - furnished subsequently to this Authority in written form.
 - furnished subsequently to this Authority in computer readable form.
 - the statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
 - the statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

2. Certain claims were found unsearchable (See Box I).

3. Unity of invention is lacking (See Box II).

4. With regard to the title,

- the text is approved as submitted by the applicant.
- the text has been established by this Authority to read as follows:

5. With regard to the abstract,

- the text is approved as submitted by the applicant.
- the text has been established, according to Rule 38.2(b), by this Authority as it appears in Box III. The applicant may, within one month from the date of mailing of this international search report, submit comments to this Authority.

6. The figure of the drawings to be published with the abstract is Figure No. 2(a)-(c)

- as suggested by the applicant.
- because the applicant failed to suggest a figure.
- because this figure better characterizes the invention.

None of the figures.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/06146

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L21/8247, H01L29/788, H01L29/792,
H01L27/115

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/8247, H01L29/788, H01L29/792,
H01L27/115

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2000
 Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US, 5780341, A (Halo LSI Design & Device Technology, Inc.), 14 July, 1998 (14.07.98), Column 17, line 42 to Column 18, line 42 & EP, 847091, A	1-13
A	JP, 11-220044, A (Masaki OGURA), 10 August, 1999 (10.08.99), Column 28, line 49 to Column 30, line 24 (Family: none)	1-13
A	JP, 63-25979, A (Hitachi, Ltd.), 03 February, 1988 (03.02.88), page 3, upper left column, line 4 to page 3, lower right column, line 11 (Family: none)	1-13
A	JP, 9-116119, A (Sony Corporation), 02 May, 1997 (02.05.97), abstract; Column 4, line 41 to Column 6, line 24 (Family: none)	1-13
A	JP, 7-130884, A (Oki Electric Industry Co., Ltd.), 19 May, 1995 (19.05.95), abstract; Column 12, line 24 to Column 13, line 40	1-13

 Further documents are listed in the continuation of Box C. See patent family annex.

• Special categories of cited documents:	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X"	earlier document but published on or after the international filing date
"E" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document referring to an oral disclosure, use, exhibition or other means	"&"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document published prior to the international filing date but later than the priority date claimed		document member of the same patent family

Date of the actual completion of the international search
04 December, 2000 (04.12.00)Date of mailing of the international search report
12 December, 2000 (12.12.00)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

47
Translation

PATENT COOPERATION TREATY
PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference E5376-00	FOR FURTHER ACTION	See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)
International application No. PCT/JP00/06146	International filing date (day/month/year) 08 September 2000 (08.09.00)	Priority date (day/month/year) 10 September 1999 (10.09.99)
International Patent Classification (IPC) or national classification and IPC H01L 21/8247, 29/788, 29/792, 27/115		
Applicant HITACHI, LTD.		

1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.

2. This REPORT consists of a total of 4 sheets, including this cover sheet.

This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).

These annexes consist of a total of 6 sheets.

3. This report contains indications relating to the following items:

- I Basis of the report
- II Priority
- III Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- IV Lack of unity of invention
- V Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- VI Certain documents cited
- VII Certain defects in the international application
- VIII Certain observations on the international application

TECHNOLOGY CENTER 2800
RECEIVED
AUG 17 2002

Date of submission of the demand 22 September 2000 (22.09.00)	Date of completion of this report 21 August 2001 (21.08.2001)
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP00/06146

I. Basis of the report

1. With regard to the elements of the international application:*

 the international application as originally filed the description:

pages _____ 1-31 _____, as originally filed

pages _____ _____, filed with the demand

pages _____ , filed with the letter of _____

 the claims:

pages _____ 1-13 _____, as originally filed

pages _____ 14-39 _____, as amended (together with any statement under Article 19) _____, filed with the demand

pages _____ _____, filed with the letter of _____

 the drawings:

pages _____ 1-23 _____, as originally filed

pages _____ _____, filed with the demand

pages _____ , filed with the letter of _____

 the sequence listing part of the description:

pages _____ _____, as originally filed

pages _____ _____, filed with the demand

pages _____ , filed with the letter of _____

2. With regard to the language, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language _____ which is:

 the language of a translation furnished for the purposes of international search (under Rule 23.1(b)). the language of publication of the international application (under Rule 48.3(b)). the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any nucleotide and/or amino acid sequence disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

 contained in the international application in written form. filed together with the international application in computer readable form. furnished subsequently to this Authority in written form. furnished subsequently to this Authority in computer readable form. The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished. The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.4. The amendments have resulted in the cancellation of: the description, pages _____ the claims, Nos. _____ the drawings, sheets/fig _____5. This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).**

* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

** Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

III. Non-establishment of opinion with regard to novelty, inventive step and industrial applicability

1. The questions whether the claimed invention appears to be novel, to involve an inventive step (to be non obvious), or to be industrially applicable have not been examined in respect of:

- the entire international application.
 claims Nos. 14-39

because:

- the said international application, or the said claims Nos. _____ relate to the following subject matter which does not require an international preliminary examination (*specify*):

- the description, claims or drawings (*indicate particular elements below*) or said claims Nos. _____ are so unclear that no meaningful opinion could be formed (*specify*):

- the claims, or said claims Nos. _____ are so inadequately supported by the description that no meaningful opinion could be formed.
 no international search report has been established for said claims Nos. 14-39.

2. A meaningful international preliminary examination cannot be carried out due to the failure of the nucleotide and/or amino acid sequence listing to comply with the standard provided for in Annex C of the Administrative Instructions:

- the written form has not been furnished or does not comply with the standard.
 the computer readable form has not been furnished or does not comply with the standard.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP00/06146

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

1. Statement

Novelty (N)	Claims	1-13	YES
	Claims		NO
Inventive step (IS)	Claims	1-13	YES
	Claims		NO
Industrial applicability (IA)	Claims	1-13	YES
	Claims		NO

2. Citations and explanations

Claims 1-13

Document 1: JP, 7-130884, A (OKI ELECTRIC INDUSTRY CO., LTD.), 19 May 1995 (19.05.95), abstract; column 12, line 24 to column 13, line 40

Document 2: US, 5541130, A (INTERNATIONAL BUSINESS MACHINES CORPORATION), 30 July 1996 (30.07.96), column 4, line 39 to column 6, line 20 & JP, 8-340095, A, column 8, line 36 to column 11, line 1 & US, 5654917, A & US, 5672892, A & US, 5681770, A

These are documents defining the general state of the art in the relevant technical field. Document 1 describes a nonvolatile memory having a source region formed on the main surface of an Si monocrystalline substrate, a drain region, a first gate formed on the main surface of an Si monocrystalline substrate with an insulating oxide film interposed, a second gate formed on the first gate with an insulating film interposed, and a third gate formed with the first gate and an insulating film interposed.

Document 2 describes a semiconductor structure having a high-concentration region formed on the main surface of an Si monocrystalline substrate, a first polysilicon layer formed on the main surface of a semiconductor substrate with an insulating oxide film interposed, a second polysilicon layer formed on the first polysilicon layer with an insulating film interposed, and a third polysilicon layer formed with the first polysilicon layer and an insulating film interposed.

However, a nonvolatile memory in which the third gate's surface reference height is lower than the reference height of the first gate's surface and a method of manufacturing a nonvolatile memory having this structure is neither described nor suggested in any of the documents cited in the ISR or in document 2, which is newly cited in the written opinion.